

복수버퍼를 가진 다단상호연결네트웍의 비균일 트래픽 환경하에서 소클럭주기를 사용한 성능 평가[☆]

Performance Modeling of Multibuffered Multistage Interconnection Networks under Nonuniform Traffic Pattern with Small Clock Cycle Schemes

문 영 성*
Youngsong Mun

요 약

벤연형 다단상호연결네트웍이 원하는 성능목표치를 만족시킬 수 있는지를 알아보기 위하여 해석적 모델을 제시한다. 입력트래픽은 일반적인 균일트래픽이 아니고 실제상황을 고려하기 위하여 비균일트래픽을 가정하였다. 버퍼는 복수개의 입력버퍼를 가정하여 개발하였고, 클럭 주기는 일반적인 대클럭주기 개념이 아니라 성능을 향상시키기 위한 소클럭주기 개념을 사용한다. 개발된 모델로부터의 결과와 시뮬레이션으로부터의 결과를 비교하여 구해진 모델의 우수성을 입증한다.

Abstract

In this paper, a more accurate model than any other ones so far have been proposed for the performance evaluation of multibuffered banyan-type Multistage Interconnection Networks(MINs)'s under nonuniform traffic condition is obtained. Small clock cycle instead of big clock cycle is used to improve the performance. The accuracy of the proposed model is conformed by comparing with the results from simulation.

Keyword : Multibuffered MINs, Nonuniform Traffic, Small Clock Cycle

1. 서 론

본 논문에서는 복수개의 입력버퍼를 가진 벤연형 다단연결네트웍의 성능을 비균일트래픽 환경하에서 해석적으로 모델링하려 한다. 실제적인 환경을 고려하기 위하여는 비균일 트래픽이 존재할 때의 성능평가가 필수적이라 하겠다. 그러나 비균일트래픽하에서의 기존의 연구도 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든가 또는 고려하더라도 비현실적인 가정을 한다든가 하였다 [1-3].

비균일트래픽을 다룬 대표적인 모델인 Lin과

Kleinrock의 모델[4]에서는 입력버퍼를 가진 벤연형 네트워크보다 상대적으로 해석적모델을 얻기가 쉬운 출력버퍼를 가진 벤연형 네트워크를 연구하였다. 그러나 역시 블럭킹을 제대로 고려하지 못하는 문제점을 가지고 있다. Ding과 Bhuyan은 일반적으로 사용되는 대클럭주기 (Big Clock Cycle: BCC) 개념과는 다른 소클럭주기(Small Clock Cycle: SCC) 개념을 이용하여 스위치 네트워크의 성능이 향상될 수 있음을 보여주었다[5].

2. 해석적 모델링

벤연형 다단상호연결네트웍의 성격을 정확하게 모델링하기 위하여서는 두개의 연속된 시간슬롯간의 패킷이동의 상관관계를 고려하는 것이 필수적이다. 이뿐만 아니라, 두개의 연속된 단간의 상관

* 종신회원 : 숭실대학교 컴퓨터학부 부교수
mun@computing.ssu.ac.kr(제 1저자)

☆ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

관계도 고려되어야 한다. 이러한 상관관계를 반영하기 위해서는 블럭상태를 반드시 모델에 포함해야 한다. 정상상태에 있는 패킷은 어느 출력링크로 나아갈 확률이 균등하지만 블럭상태의 패킷은 이전에 가려고 했던 링크로 다시 가려고 한다.

2.1 가정 및 정의

SCC 개념하에서는 버퍼상태에 대한 제어 정보는 단지 두 이웃 단간에만 교환된다. 또한 각 입력포트에서는 출력포트에 걸쳐 액세스 요구가 비균일하게 발생가능하다. 각 패킷은 경쟁에서 이길 확률이 같으며 블럭된 패킷은 원래의 목적지로 다시 가려고 시도된다. 다음은 단일 버퍼 모델에 수정되거나 새롭게 더해진 정의들이다.

- m : 버퍼모듈의 크기.
- $P_0(k, t)$: $SE(k)$ 의 버퍼모듈이 t_b 에 빌 확률.
- $\overline{P_f(k, t)}$: $SE(k)$ 의 버퍼모듈이 t_b 에 다 차지지 않을 확률.
- $P_{\supset}(k, t)$: $SE(k)$ 의 버퍼모듈이 상태 n_i 에 있을 확률.
- $P_{b_i}(k, t)$: $SE(k)$ 의 버퍼모듈이 상태 b_i 에 있을 확률.
- $\gamma_{mm}(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 보통 패킷이 t_d 동안에 원하는 출력 포트에 갈 수 있는 확률. 다른 버퍼가 상태 b 에 있다면 블럭된 패킷은 다른 포트에 향한다(경쟁은 필요없다).
- $\gamma_{nb}(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 보통 패킷이 다른 버퍼에 있는 블럭된 패킷과의 경쟁에서 이김으로서 t_d 동안에 원하는 출력 포트에 갈 수 있는 확률.
- $r_n(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 보통 패킷이 t_d 동안에 이동할 확률.
- $\gamma_{bn}(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 블럭된 패킷이 다른 버퍼가 보통 패킷을 가지

고 있거나 비어있을 때 t_d 동안에 원하는 출력 포트에 갈 수 있는 확률.

- $\gamma_{bb}(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 블럭된 패킷이 다른 버퍼가 블럭된 패킷을 가지고 있을 때 t_d 동안에 원하는 출력 포트에 갈 수 있는 확률.
- $r_b(k, t)$: $SE(k)$ 의 버퍼모듈의 최전단에 있는 블럭된 패킷이 t_d 동안에 이동할 확률.
- $SP_n(k, t)$: 모든 $P_{\supset}(k, t)$ 의 합.
- $SP_b(k, t)$: 모든 $P_{b_i}(k, t)$ 의 합.

$r_{nm}(k, t)$, $r_{nb}(k, t)$, $r_n(k, t)$, $r_{bn}(k, t)$, $r_{bb}(k, t)$, $r_b(k, t)$ 등은 모두 가장 오래된 패킷의 경우에만 고려된다. 그리고 $P^{na}(k, t)$, $P^{ba}(k, t)$, $P^{bba}(k, t)$ 등은 전체 버퍼 모듈에 대해서 고려된다.

2. 버퍼의 상태

네트워크의 동작과 가정들은 단일버퍼 모델에서와 동일하다. 그러나 버퍼모듈의 가능한 상태 수는 한 모듈의 크기가 m 이면 다음과 같이 $2m$ 개의 상태가 존재한다.

버퍼모듈의 상태:

- 빈상태: 버퍼모듈은 비어있다.
- 상태 $n_i (1 \leq i \leq m-1)$: 버퍼모듈은 i 개의 패킷을 가지고 있으며 이 중 가장 오래된 패킷이 경쟁에 아직 참여한 적이 없을 때이다.
- 상태 $b_i (1 \leq i \leq m)$: 버퍼모듈은 i 개의 패킷을 가지고 있으며 이 중 가장 오래된 패킷이 이전 네트워크 주기에서 경쟁에서 졌었거나 다음 단의 버퍼공간이 허용되지 않아서 이동을 못했을 경우이다.

3. 변수의 계산

$r_{nn}^h(ki, t)$ 의 경우는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력포트로 향한 보통 패킷이 있으며, 보족버퍼는 비어있거나 보통 패킷을 가지거나 아래쪽으로 향한 블럭된 패킷을 가지거나이다. 보족버퍼가 비어있을 때는 항상 원하는 출력포트로 갈 수 있다. 보족버퍼가 보통패킷을 가지고 있을 때는 보족버퍼에 있는 패킷이 위쪽으로 향한다면 경쟁을 해야하며 아래쪽으로 향한다면 항상 원하는 출력 포트로 갈 수 있다.

$$r_{nn}^h(ki, t) = r(ki)P_0(ki^c, t) + [0.5r(ki)r(ki^c) + r(ki)(1-r(ki^c))]P_n(ki^c, t) + r(ki)(1-r_x(ki^c, t))P_b(ki^c, t)$$

$r_{nb}^h(ki, t)$ 의 경우에는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력포트로 향한 보통 패킷이 있을 때이며, 보족버퍼는 같은 방향으로 (위쪽으로) 향한 블럭된 패킷을 가질 때이므로 경쟁에서 이겨야만 출력포트로 나아갈 수 있다.

$$r_{nb}^h(ki, t) = 0.5r(ki)r_x(ki^c, t)P_b(ki^c, t)$$

$r_{bn}^h(ki, t)$ 의 경우에는 현재 t 시각에 k 단의 i 번 입력포트의 버퍼에는 위쪽 출력 포트로 향한 블럭된 패킷이 있을 때이며, 보족버퍼는 비어있거나 보통 패킷을 가지고 있을 경우이다. 보족버퍼가 비어있을 때는 항상 원하는 출력포트로 갈 수 있다. 보족버퍼가 보통패킷을 가지고 있을 때는 보족버퍼에 있는 패킷이 위쪽으로 향한다면 경쟁을 해야 하며 아래쪽으로 향한다면 항상 원하는 출

력 포트로 갈 수 있다.

$$r_{bn}^h(ki, t) = r_x(ki, t)P_0(ki^c, t) + [0.5r_x(ki, t)r(ki^c) + r_x(ki, t)(1-r(ki^c))]P_n(ki^c, t)$$

$r_{bb}^h(ki, t)$ 의 경우에는 i 번 입력포트의 버퍼에는 위쪽 출력 포트로 향한 블럭된 패킷이 있을 때이며, 보족버퍼는 블럭된 패킷을 가지고 있을 경우이다. 보족버퍼의 블럭된 패킷이 위쪽으로 향할 때는 경쟁을 해야 하며 아래쪽으로 향한다면 항상 원하는 출력 포트로 갈 수 있다.

$$r_{bb}^h(ki, t) = 0.5r_x(ki, t)r_x(ki^c, t)P_b(ki^c, t) + r_x(ki, t)(1-r_x(ki^c, t))P_b(ki^c, t)$$

복수 버퍼 모델에서의 $P^{ba}(ki, t)$ 와 $P^{nb}(ki, t)$ 는 단일 버퍼 모델에서와 유사하게 얻어진다. $P^{ba}(ki, t)$ 에 대해 한 패킷의 송신 버퍼 모듈은 상태 b_u 에 있다. 만약 버퍼가 $t-1$ 의 네트워크 주기에서 $T(ki, t-1)$ 의 확률로 한 패킷을 받는다면 그것은 꼭 차지 않아야 할 것이다. $t-1$ 때 단지 한 개의 여유 공간이 있다면, 이때 한 패킷이 다음 단으로 이동하지 않는다면 전단에서 패킷을 받으면 꼭 차서 t 때는 여유 공간이 없을 것이다. 버퍼가 이전의 네트워크 주기에서 $1-T(ki, t-1)$ 의 확률로 한 패킷을 받지 않았다면 그것은 꼭 찻었음에 틀림없다. 네트워크 주기 t 에서 한 패킷을 받을 공간이 있기 위해서는 한 패킷이 꼭 찬 버퍼로부터 움직였어야 한다.

$$P^{ba}(ki, t) = T(ki, t-1) \times A + \{1 - T(ki, t-1)\} \frac{P_{bn}(ki, t-1)r_b(ki, t-1)}{P_{bn}(ki, t-1)}$$

여기에서 A 는 아래와 같다.

$$A = \frac{P_0(ki, t-1) + \sum_{u=1}^{m-2} P_{\nu}(ki, t-1) + \sum_{u=1}^{m-2} P_{bu}(ki, t-1) + P_{n(m-1)}(ki, t-1)r_n(ki, t-1) + P_{b(m-1)}(ki, t-1)r_b(ki, t-1)}{P_0(ki, t-1) + \sum_{u=1}^{m-1} P_{\nu}(ki, t-1) + \sum_{u=1}^{m-1} P_{bu}(ki, t-1)}$$

$P^{na}(ki, t)$ 는 버퍼로 향하는 블럭된 패킷이 없기 때문에 목적지 버퍼는 어떤 상태에도 있을 수 있다는 것을 의미한다. 만약 버퍼가 전의 네트워크 주기에서 $T(ki, t-1)$ 의 확률로 한 패킷을 받았다면 버퍼는 꽉 차지 않았었을 것이다. 네트워크 주기 t 에서 한 패킷을 받을 공간이 있기 위해서는, $t-1$ 때 버퍼가 단지 하나의 여유있는 공간을 가지고 있었다면 한 패킷이 이동되었어야 한다. 만약

버퍼가 $t-1$ 의 네트워크 주기에서 $1 - T(ki, t-1)$ 의 확률로 한 패킷을 받지 않았다면 그것은 어떤 상태에 있을 수도 있다. 네트워크 주기 t 에서 한 패킷을 받을 공간이 있기 위해서는, $t-1$ 때 버퍼가 꽉 찼다면 한 패킷이 움직여졌어야 한다. 따라서 $P^{na}(ki, t)$ 는 다음과 같이 구해진다.

$$P^{na}(ki, t) = T(ki, t-1) \times A + [1 - T(ki, t-1)] \times B$$

$$B = \frac{P_0(ki, t-1) + \sum_{u=1}^{m-1} P_v(ki, t-1) + \sum_{u=1}^{m-1} P_{bu}(ki, t-1) + P_{bm}(ki, t-1)r_b(ki, t-1)}{P_0(ki, t-1) + \sum_{u=1}^{m-1} P_v(ki, t-1) + \sum_{u=1}^m P_{bu}(ki, t-1)}$$

$SE(k-1)$ 에서 두 버퍼 모두 블럭되어 있다면 k 단에서의 해당하는 목적지 버퍼는 $t-1$ 때 꽉 찼었음에 틀림없다. 네트워크 주기 t 에서 한 패킷을 받을 공간이 있기 위해서는, $t-1$ 때 한 패킷이 꽉 찬 버퍼로부터 이동했어야 한다. 그러므로 복수 버퍼 모델에서 $P^{bba}(ki, t)$ 는 다음과 같다.

$$P^{bba}(ki, t) = \frac{P_{bm}(ki, t-1)r_b(ki, t-1)}{P_{bm}(ki, t-1)}$$

패킷이 다음 단으로 이동하기 위해서는 먼저 원하는 출력포트로 갈수 있어야 하고 또한 목적지의 버퍼가 가용해야 한다. 그러므로 $r_n(ki, t)$ 는 다음과 같다.

$$\begin{aligned} r_n(ki, t) &= r_{nn}^h(ki, t)P^{na}((k+1)e, t) \\ &+ r_{nb}^h(ki, t)P^{ba}((k+1)e, t) \\ &+ r_{nn}^f(ki, t)P^{na}((k+1)f, t) \\ &+ r_{nb}^f(ki, t)P^{ba}((k+1)f, t) \end{aligned}$$

k 단의 i 번 입력포트의 버퍼가 이전의 단의 교환요소의 위쪽 출력포트에 연결되어 있을 때

와 아래쪽에 연결되어 있을 때의, 이 입력포트에서의 수율은 각각 다음과 같다($2 \leq k \leq n$).

$$\begin{aligned} T(ki, t) &= P_n((k-1)g, t)r_n^h((k-1)g, t) \\ &+ P_n((k-1)g^c, t)r_n^h((k-1)g^c, t) \\ &+ P_b((k-1)g, t)r_b^h((k-1)g, t) \\ &+ P_b((k-1)g^c, t)r_b^h((k-1)g^c, t) \end{aligned}$$

$$\begin{aligned} T(ki, t) &= P_n((k-1)g, t)r_n^f((k-1)g, t) \\ &+ P_n((k-1)g^c, t)r_n^f((k-1)g^c, t) \\ &+ P_b((k-1)g, t)r_b^f((k-1)g, t) \\ &+ P_b((k-1)g^c, t)r_b^f((k-1)g^c, t) \end{aligned}$$

또한 수율을 다음과 같이 표현할 수도 있다.

$$T(ki, t) = q(ki, t)[P_0(ki, t) + P_n(ki, t)r_n(ki, t) + P_b(ki, t)r_b(ki, t)] \quad (1 \leq k \leq n)$$

그러므로 ($2 \leq k \leq n$) 일 때 $q(ki, t)$ 는 다음과 같다.

$$q(ki, t) = \frac{T(ki, t)}{P_0(ki, t) + P_n(ki, t)r_n(ki, t) + P_b(ki, t)r_b(ki, t)}$$

4. 경제조건

처음 단과 마지막 단을 위한 조건은 다음과 같다.

- 1) 처음 단: 처음 단보다 전단은 없으므로 $q(1i, t)$ 는 네트워크의 입력단에 주어진 트래픽 부하로 주어져야 한다.
- 2) 마지막 단: 한 SE의 두개의 버퍼는 블럭된 상태에 있을 수 없으므로 $r_n(ni, t)$ 와 $r_b(ni, t)$ 는 다음과 같이 계산된다.

$$r_n(ni, t) = r_{nn}^h(ni, t) + r_{nm}^h(ni, t) + r_{nb}^h(ni, t) + r_{nb}^l(ni, t)$$

$$r_b(ni, t) = r_{bm}^h(ni, t) + r_{bm}^l(ni, t)$$

5. 상태식

상태식을 얻기 위해서는 먼저 $X_n^h(ki, t)$, $X_n^l(ki, t)$, $X_b^h(ki, t)$, $X_b^l(ki, t)$ 들을 구해야 한다. $X_n^h(ki, t)$ 는 $SE(k)$ 의 i 번 입력포트에 있는 위쪽 출력 포트에 향한 보통 패킷이 블럭될 확률이다. 이는 $SE(k)$ 에서는 나아갈 수 있으나 다음단의 목적버퍼에 자리가 없어서 블럭되는 경우와, $SE(k)$ 의 다른 버퍼에 있는 패킷과의 경쟁에서 져서 나아가지 못할 경우로 구성되므로 다음과 같이 구해진다.

$$X_n^h(ki, t) = r_{nn}^h(ki, t)(1 - P^{oa}((k+1)e, t)) + r_{nb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) + 0.5r_x(ki, t)r(k^c, t)P_n(k^c, t) + 0.5r_x(ki, t)r_x(k^c, t)P_b(k^c, t)$$

$X_b^h(ki, t)$ 는 $SE(k)$ 의 i 번 입력포트에 있는 위쪽 출력 포트에 향한 블럭된 패킷이 블럭될 확률이다. 이는 $X_n^h(ki, t)$ 에서와 마찬가지로 $SE(k)$ 에서는 나아갈 수 있으나 다음단의 목적버퍼에 자리가 없어서 블럭되는 경우와, $SE(k)$ 의 다른 버퍼에 있는 패킷과의 경쟁에서 져서 나아가지 못할 경우로 구성된다.

$$X_b^h(ki, t) = r_{bn}^h(ki, t)(1 - P^{oa}((k+1)e, t)) + r_{bb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) + 0.5r_x(ki, t)r(k^c, t)P_n(k^c, t) + 0.5r_x(ki, t)r_x(k^c, t)P_b(k^c, t)$$

$X_n^l(ki, t)$ 및 $X_b^l(ki, t)$ 도 동일한 방법으로 아래와 같이 구해진다.

$$X_n^l(ki, t) = r_{nn}^l(ki, t)(1 - P^{oa}((k+1)e, t)) + r_{nb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) + 0.5(1 - r_x(ki, t))(1 - r(k^c, t))P_n(k^c, t) + 0.5(1 - r_x(ki, t))(1 - r_x(k^c, t))P_b(k^c, t)$$

$$X_b^l(ki, t) = r_{bn}^l(ki, t)(1 - P^{oa}((k+1)e, t)) + r_{bb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) + 0.5(1 - r_x(ki, t))(1 - r(k^c, t))P_n(k^c, t) + 0.5(1 - r_x(ki, t))(1 - r_x(k^c, t))P_b(k^c, t)$$

마지막 단에서는 출력포트의 자리는 항상 가용하므로 목적버퍼에 자리가 없어서 블럭되는 경우는 제외되어야 한다. 따라서 $X_n^h(ni, t)$, $X_n^l(ni, t)$ 는 다음과 같이 구해진다.

$$X_n^h(ni, t) = 0.5r(ni, t)r(n^c, t)P_n(n^c, t) + r_x(ni, t)P_b(n^c, t)$$

$$X_n^l(ni, t) = 0.5(1 - r(ni, t))(1 - r(n^c, t))P_n(n^c, t) + 0.5(1 - r(ni, t))(1 - r_x(n^c, t))P_b(n^c, t)$$

$X_b^h(ni, t)$, $X_b^l(ni, t)$ 의 경우에도 목적버퍼에 자리가 없어서 블럭되는 경우는 제외되어야 하며, 두 입력버퍼 모두 블럭된 패킷을 가지고 있는 경우는 있을 수 없으므로 다음과 같이 구해진다.

$$X_b^h(ni, t) = 0.5r_x(ni, t)r(n^c, t)P_n(n^c, t)$$

$$X_b^l(ni, t) = 0.5(1 - r_x(ni, t))(1 - r(n^c, t))P_n(n^c, t)$$

다음 상태식들은 복수 버퍼를 가진 MIN에 대해 성립한다. 버퍼 크기 m 이 2이면 상태식은 다소 변화가 있을 것이다.

$$P_0(ki, t+1) = [1 - q(ki, t)][P_0(ki, t) + r_n(ki, t)P_{n1}(ki, t) + r_b(ki, t)P_{b1}(ki, t)]$$

$$P_{b1}(ki, t+1) = [1 - q(ki, t)][(1 - r_n(ki, t))P_{n1}(ki, t) + (1 - r_b(ki, t))P_{b1}(ki, t)]$$

$$P_{n1}(ki, t+1) = q(ki, t)P_0(ki, t) + q(ki, t)r_n(ki, t)P_{n1}(ki, t) + q(ki, t)r_b(ki, t)P_{b1}(ki, t) + [1 - q(ki, t)][r_n(ki, t)P_{n2}(ki, t) + r_b(ki, t)P_{b2}(ki, t)]$$

$P_v(ki, t+1)$ 및 $P_{bu}(ki, t+1)$ 에 대해 다음 식은 ($2 \leq u \leq m-2$)일 때 성립한다.

$$P_v(ki, t+1) = q(ki, t)r_n(ki, t)P_v(ki, t) + q(ki, t)r_b(ki, t)P_{bu}(ki, t) + (1 - q(ki, t))r_n(ki, t)P_{n(u+1)}(ki, t) + (1 - q(ki, t))r_b(ki, t)P_{b(u+1)}(ki, t)$$

$$P_{bu}(ki, t+1) = (1 - q(ki, t))[(1 - r_n(ki, t))P_v(ki, t) + (1 - r_b(ki, t))P_{bu}(ki, t)] + (1 - r_n(ki, t))q(ki, t)P_{n(u-1)}(ki, t) + (1 - r_b(ki, t))q(ki, t)P_{b(u-1)}(ki, t)$$

$$P_{n(m-1)}(ki, t+1) = q(ki, t)r_n(ki, t)P_{n(m-1)}(ki, t) + q(ki, t)r_b(ki, t)P_{b(m-1)}(ki, t) + r_b(ki, t)P_{b(u+1)}(ki, t)$$

$$P_{bm}(ki, t+1) = (1 - r_b(ki, t))P_{bm}(ki, t) + (1 - r_n(ki, t))q(ki, t)P_{n(m-1)}(ki, t) + (1 - r_b(ki, t))q(ki, t)P_{b(m-1)}(ki, t)$$

이외의 다른변수들은 대클럭주기 개념하에서의 복수버퍼 모델에서와 동일하다. $r_x(ki, t)$ 는 블럭된 패킷이 위쪽출력포트로 가려할 확률이므로 다음과 같이 구해진다.

$$r_x(ki, t) = \frac{P_b^h(ki, t)}{P_b^h(ki, t) + P_b^l(ki, t)}$$

$$(P_b^h(ki, t) + P_b^l(ki, t) \neq 0 \text{ 때})$$

$$P_b^h(ki, t) = X_n^h(ki, t)P_n(ki, t) + X_b^h(ki, t)P_b(ki, t)$$

$$P_b^l(ki, t) = X_n^l(ki, t)P_n(ki, t) + X_b^l(ki, t)P_b(ki, t)$$

$r(ki)$ 의 값은 Lin과 Kleinrock의 논문에서의 r_{ij} 를 구하기 위한 변환방법(Transformation Method)을 사용하여 구해진다 [4].

6. 수율과 전달지연

벤연형 MIN의 정규화 된 수율은 마지막 단의 출력포트에서의 수율로 정의된다. 마지막단의 출력 포트 i 가 교환요소의 위쪽 또는 아래쪽 출력포트 라면 수율은 각각 다음과 같다.

$$TNET(i, t) = P_n(ng, t)r_n^h(ng, t) + P_n(ng^c, t)r_n^h(ng^c, t) + P_b(ng, t)r_b^h(ng, t) + P_b(ng^c, t)r_b^h(ng^c, t)$$

$$TNET(i, t) = P_n(ng, t)r_n^l(ng, t) + P_n(ng^c, t)r_n^l(ng^c, t) + P_b(ng, t)r_b^l(ng, t) + P_b(ng^c, t)r_b^l(ng^c, t)$$

정상상태에서의 k 단의 i 포트에서 발생하는 전달 지연시간은 리틀의 식[6]을 이용해 계산된다.

3. 실험 및 결과

본 논문에서 구해진 모델의 정확성을 입증하기 위하여 해석적 모델로부터 얻어진 값과 시뮬레이션에서 얻어진 값과 비교하였다. 시뮬레이션에서는 95%의 신뢰도 구간을 사용하였다. 네트워크의 크기는 64×64 에서 구하였다. 즉, 6개의 단으로 구성되어 있다. 버퍼의 크기는 복수개가 가정된다. 각 프로세서에 걸린 트래픽 부하는 0에서부터 1일 때(즉, 항상 패킷이 있을 때)까지 구할 수 있다. 비균일트래픽에서도 가장 연구가 많이되고 있는 핫스팟 트래픽을 입력시켰다. 그림 1은 첫번째 메모리 모듈이 0.035의 확률로 액세스되고 나머지 메모리 모듈들은 균등하게 액세스될 때(즉, $0.965/63 = 0.0153$)의 결과이다. 즉, 첫번째 메모리 모듈은 다른 메모리 모듈보다 2배이상의 확률로 비균일하게 더 많이 액세스 됨을 의미한다.

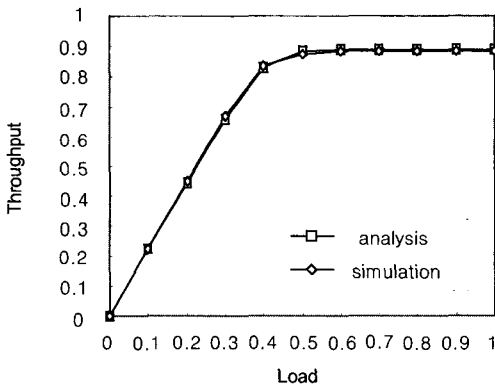
그림 1과 2는 버퍼의 크기가 2일때, 즉 두개의 패킷을 저장할 수 있을 때의 결과이다. 그림 1은 첫번째 출력포트에서의 수율을 나타낸다. 다른 출력포트보다 두배이상의 확률로 더 많이 액세스되므로 그림 2의 다른 포트에서의 수율보다 높은 결

과를 보인다. 트래픽 부하는 0에서부터 0.1씩 증가시켜 1까지 증가시킨다. 그림 3과 4는 버퍼의 크기가 4일 때의 결과이다. 모든 경우에서 해석적 모델로부터의 결과는 시뮬레이션의 결과와 매우 근접하게 일치하고 있다. 본 논문에서 구해진 모델은 어떤 크기의 네트워크 크기 및 트래픽 부하에서도 정확하므로 실용적 크기의 MIN의 성능에 대한 정확한 척도를 제공하고 있다.

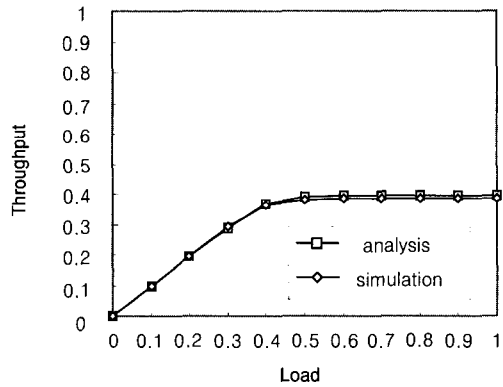
5. 결론

다단상호연결네트워크에 성능평가 연구는 실제적

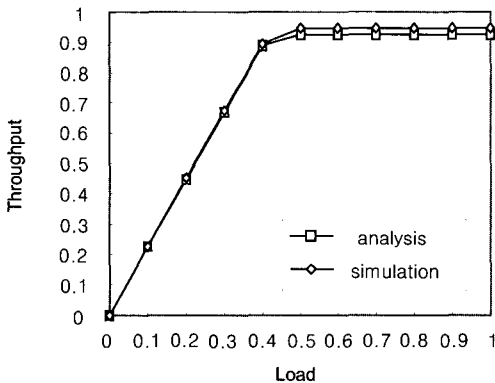
인 환경을 고려하기 위하여는 비균일 트래픽이 존재할 때 성능평가가 필수적이라 하겠다. 그러나 비균일트래픽하에서의 연구도 정확한 결과를 얻기 위하여서는 연속된 단간 그리고 인접한 시간슬롯간의 패킷 이동의 상관관계를 효과적으로 묘사하는 것이 필요하다. 본 논문에서는 블럭상태를 효과적으로 도입함으로써 비균일트래픽 상황하에서의 복수개의 입력버퍼를 가진 다단상호연결네트워크의 성능을 상대적으로 간결하면서도 정확하게 나타내는 모델을 제시하였다. 제시된 모델의 정확성을 입증하기 위하여 시뮬레이션으로부터의 결과와 비교한 결과 매우 정확하게 나타났다. 클럭주기



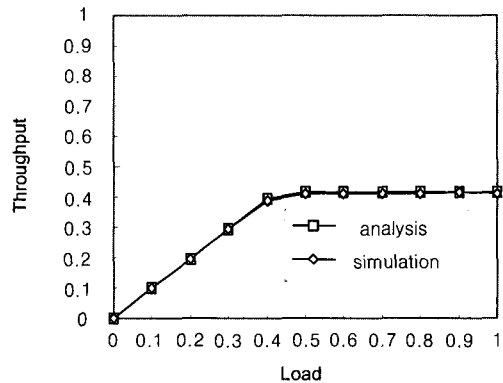
<그림 1> 버퍼크기가 2일 때 첫번째 메모리 모듈의 출력(소클럭주기)



<그림 2> 버퍼크기가 2일 때 나머지 메모리 모듈의 출력(소클럭주기)



<그림 3> 버퍼크기가 4일 때 첫번째 메모리 모듈의 출력(소클럭주기)



<그림 4> 버퍼크기가 4일 때 나머지 메모리 모듈의 출력(소클럭주기)

개념은 소클럭주기 모델을 사용하였다. 시뮬레이션 결과와의 비교에서 볼 때 네트워크의 크기나 트래픽 크기의 변화에 관계없이 항상 정확한 결과를 보여주었다. 또한 다른 네트워크 구조에 적용하기 위하여 쉽게 변형될 수 있을 것으로 예상된다.

참고 문헌

- [1] T.H. Theimer, E.P. Rathgeb and M.N. Huber, "Performance analysis of buffered banyan networks," IEEE Trans. Commun., vol. C-39, pp. 269-277, Feb. 1991.
- [2] H.S. Yoon, K.Y. Lee and M.T. Liu, "Performance analysis of multibuffered packet-switching networks in multiprocessor systems," IEEE Trans. Comput., vol. C-39, pp. 319-327, March 1990.
- [3] S.H. Hsiao and C.Y.R. Chen, "Performance analysis of single-buffered multistage interconnection networks," in Proc. Third IEEE Symp. Parallel and Distributed Processing, pp. 864-867, Dec. 1991.
- [4] T. Lin and L. Kleinrock, "Performance analysis of finite-buffered multistage interconnection networks with a general traffic pattern," in Proc. 1991 ACM SIGMETRICS Conf., pp. 68-78, May 1991.
- [5] J. Ding and L.N. Bhuyan, "Performance evaluation of multistage interconnection networks with finite buffers," in Proc. 1991 Int. Conf. Parallel Processing, pp. 592-595, 1991.
- [6] D.C. Little, "A proof of the queueing formula $L = \lambda W$ " Operations Res., vol. 9, pp. 383-387, 1961.

● 저자 소개 ●



문 영 성

1983년 연세대학교 전자공학과 졸업(학사)

1986년 알버타대학교 대학원 전자공학과 졸업(석사)

1999년 텍사스대학교 대학원 컴퓨터학과 졸업(박사)

1994년~현재 : 숭실대학교 컴퓨터학부 부교수

관심분야 : Mobile IP, IPv6, GRID, QoS, 성능분석, 이동단말 인증, Honeypot

E-mail : mun@computing.ssu.ac.kr