

# 열차의 정위치 정차용 주파수의 PWM 생성 알고리즘과 시스템 구현

## Implementation algorithm and system for generating PWM frequency for berthing the train at station

한 은 택<sup>1</sup>  
Eun-Taek Han

박 창 식<sup>1</sup>  
Chang-Sik Park

김 익 재<sup>1</sup>  
Ik-Jae Kim

신 동 규<sup>1,2,3\*</sup>  
Dong-Kyoo Shin

### 요 약

일반적으로 정밀하고 안정적인 주파수 합성 방법으로 PLL이나 DDS가 주로 사용된다. 안정적인 동작을 위하여 FPGA를 사용하여 PWM 주파수 발생 알고리즘을 설계하고 구현하였다. 이는 목표한 주파수의 8,192배의 주파수를 만든 후 D 플립플롭을 13회 진행하여 1Hz 단위의 정밀도로 다수의 주파수를 발생시킬 수 있도록 하는 알고리즘이며 고안된 알고리즘을 이용하여 열차의 정위치 정차용 버싱 시스템에 적용한 제품을 개발하여 기존 운영시스템과 교체 시험을 하여 주파수 발생의 정확도 측면에서 성능의 우수함을 확인하였다.

☞ 주제어 : 위상동기루프, 직접 디지털 합성기, HDL, 신뢰성, 가용성, 유지보수성, 안전성

### ABSTRACT

In general, PLL or DDS are mainly used as precise and stable frequency synthesis methods. For stable operation, a PWM frequency generation algorithm was designed and implemented using FPGA. This is an algorithm that creates a frequency 8,192 times the target frequency and then performs the D flip-flop 13 times to generate multiple frequencies with a precision of 1 Hz. Using the designed algorithm, it is applied to the Berthing system for stopping trains in station. The applied product was developed and tested against the existing operating system to confirm its superior performance in terms of frequency generation accuracy.

☞ Keyword : Phase Locked Loop, Direct Digital Synthesizer, Hard ware Description Language, Reliability, Availability

## 1. 서 론

국내의 일반철도 또는 도시철도에 적용되는 신호시스템 가운데는 오디오 주파수를 사용하는 장치가 매우 많게 존재한다. 그러나 적용되는 대부분의 장치가 주로 아날로그 회로를 채택하여 발생 주파수의 정확도나 내구성이 계절별 온도 습도 변화의 영향으로 장치를 발생시키는 요소로 등장해 왔으며 사용기간이 내구연한을 초과하여

장비를 재구매하거나 교체하여야 하는 시점이 도래하였다. 이에 발생 주파수의 정확도와 내구성을 극대화하고 장애 발생을 최소화하기 위해 디지털화로 제품 개발을 추진하게 되었으며 장치의 신뢰성을 향상시키고자 분석 틀인 RAMS(Reliability, Availability, Maintainability, Safety)를 적용하여 설계하였으며 주파수 발생부를 FPGA(Field Programmable Gate Array)를 사용하여 PWM(Pulse Width Modulation) 출력에 의한 주파수 발생 회로를 HDL(Hardware Description Language)로 구사하여 외부 회로를 간소화 시키는 알고리즘으로 구현 하였다. 또한 이 출력을 사용하여 버싱 장치를 설계하고 제작 및 시험을 하여 안정적인 운용이 가능한 장치가 되었음을 확인하였다. 연구에 대한 내용은 아래의 두 가지로 설정한다.

- 1) PWM 주파수 발생 알고리즘 설계 및 구현
- 2) 구현된 주파수 발생기를 사용한 버싱 시스템 설계와 제작 그리고 시험

1 Department of Computer Engineering, Sejong University, Seoul, 05006, Korea.

2 Department of Convergence Engineering for Intelligent Drones, Sejong University, Seoul, 05006, Korea

3 Cyber Warfare Institute, Sejong University, Seoul, 05006, Korea

\* Corresponding author (shindk@sejong.ac.kr)

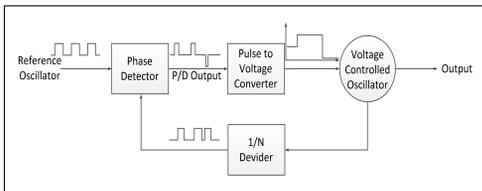
[Received 25 July 2023, Reviewed 16 August 2023, Accepted 28 August 2023]

☆ 이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2022R1F1A1074773).

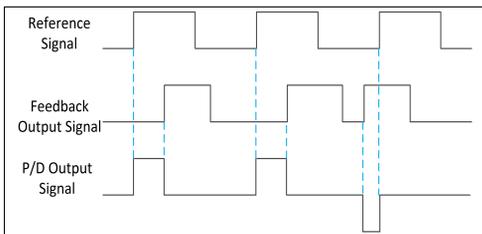
## 2. 관련 연구

### 2.1 PLL Synthesizer를 이용한 주파수 생성

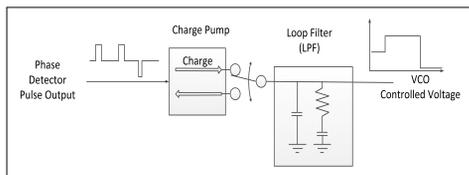
그림 1의 블록도에서 RO(Reference Oscillator)를 기본으로 하여 특정한 분주비로 원하는 주파수의 1/N배의 주파수를 만든 후 PD(Phase Detector)로 입력시켜 VCO (Voltage Controlled Oscillator)의 출력을 N분주 한 신호와 비교한 위상 차이만큼의 펄스 전류를 발생시켜 그림 1과 같이 펄스→전압 변환기로 입력되고 내부의 차지펌프 회로와 루프 필터인 지역통과필터를 거쳐 전압으로 바뀌게 되어 그림 3처럼 이 전압이 VCO에서 전압에 따른 주파수가 출력된다. 이 주파수를 N 분주하여 PD의 비교 입력이 되고 평균 출력이 Zero가 되면 VCO의 출력이 안정화 된다. 따라서 N의 분주비에 의해 RO의 N배에 해당하는 주파수가 출력 된다 [1][2].



(그림 1) PLL Synthesizer 블록도  
(Figure 1) PLL Synthesizer Block diagram

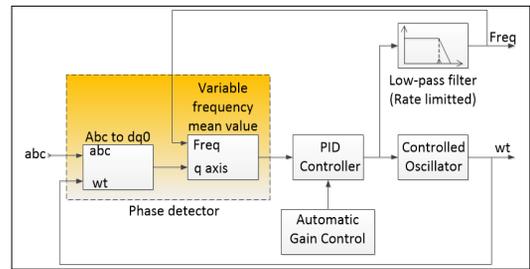


(그림 2) PD의 입출력 신호  
(Figure 2) In/Out Signal of Phase Detector



(그림 3) 펄스→전압 변환기 구조  
(Figure 3) Pulse to Voltage Converter

K. M. Pisolkar, V. Kore[3]는 PV Grid connected System에서도 저주파를 발생시켜 기존의 발전소에서 송출하는 60Hz에 동기 시켜 전력을 주입 시키는 방법에서도 PLL 기술이 적용되었다. 아래 그림 4에서 내부 발진기를 사용하여 3상 정현파 신호의 주파수 및 위상을 추적하는 데 사용된다. 내부 발진기 주파수는 위상차를 0으로 유지하기 위해 제어 시스템에 의해 조정된다. 3상 입력 신호 abc는 내부 발진기의 정확한 각속도를 위상 비교하여 dq0 값으로 전환된다. abc 신호와 내부 발진기 회전 프레임 사이의 위상차에 해당하는 신호의 직교축은 평균 블록으로 필터링 된다. 자동 이득 제어 옵션이 있는 PID(Proportional Integral Derivative) 컨트롤러는 제어 발진기에 따라 위상차를 0으로 유지한다.



(그림 4) PLL 블록도  
(Figure 4) PLL Block diagram

Tingbing Ouyang, Kanglin Xiao[5]는 ADPLL(All Digital PLL)에서 시간 - to - 디지털 변환기와 디지털 - to - 시간 변환기의 비선형성으로 인한 스푸리어스 제거를 위한 다상 검출 방법을 제안하였고 M. Tang[6]은 피드백 RC를 사용한 3상 PLL을 제시하였다. 다상 클럭 검출 기법을 기반으로 시간 영역과 주파수 영역에서 다중 위상 검출 이론을 분석하고 FIR 필터 형태의 전달 함수를 도출한다. 이 방법은 부분 스푸리어스의 주파수 변동에 적응성을 유지하면서 다른 잡음을 추가하지 않고 부분 스푸리어스를 상당히 제거한다. 다중 위상 검출의 원리를 그림 5에 보여준다. DTC의 비선형성은 기본 고조파만 포함하고 발진기는 CLKV 및 CLKV180°인 두 개의 차동 클럭을 가지고 있다고 가정한다. Reference CLKR은 CLKV 및 CLKV180°와 정렬될 때까지 DTC에 의해 지연된다. ref 클럭이 지연된 후 각각 CLKR1 및 CLKR2가 되고 두 개의 새로운 ref의 차이 지연은 TDCO/2이다. 따라서 그들의 위치는 DTC 지연의 비선형성과 정반대이다.

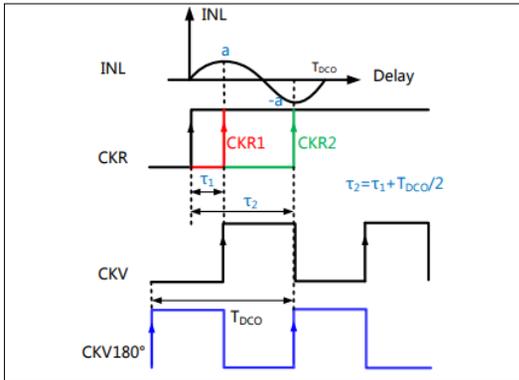
각각의 위상이 CLKV 및 CLKV180°로 감지되면 TDC의 두 출력은 그 반대이다. 두 출력을 평균화하면 비선형성이 효과적으로 제거된다. 평균 출력은 다음과 같이 나타낼 수 있다.

$$Y(n) = \frac{1}{2}(X(n) + X(n-1)) \quad (1)$$

또한 FIR(Finite Impulse Response) 시스템이어서 Z 도메인에서 전달 함수는

$$H(z) = \frac{1}{2}(1 + Z^{-1}) \quad (2)$$

로 유도된다.

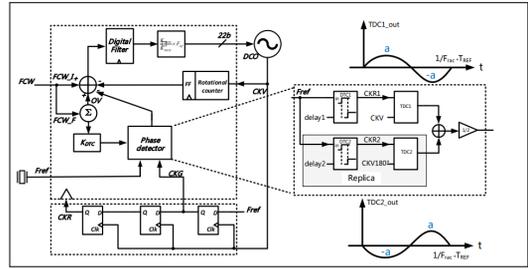


(그림 5) 다중 위상 검출 기술의 기본 회로도

(Figure 5) The schematic diagram of multi-phase detecting technology

수식 2에서 1차부터  $N^{-1}$ 차까지의 고조파를 필터링할 수 있기 때문에 분수 스프리어스의 주파수가 어떻게 변하든지 고유 FIR의 필터 샘플링 클럭 주파수는 적응형 FIR 필터와 동등하게 변화를 따를 것이라는 점을 강조하는 것이 중요하다.

2상 검출에 기반을 둔 ADPLL의 다중 위상 검출 아키텍처를 그림 6에 보인다. 이의 결과는 주기적인 위상 오차가 없음을 보였으며 스프리어스가 제거되었음을 보였다.



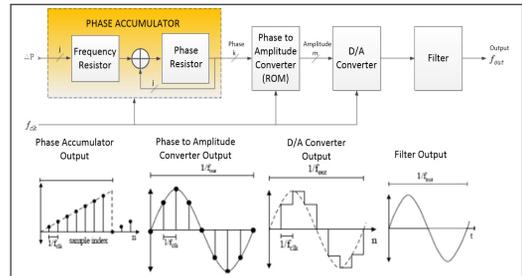
(그림 6) 다중 위상 검출 아키텍처

(Figure 6) The multi-phase detecting architecture of ADPLL

## 2.2 DDS를 이용한 주파수 생성

DDS(Direct Digital Synthesizer)란 고속 클럭을 사용하여 정현파형의 데이터를 D-A 컨버터에 반복 출력하고 정현파를 생성하는 회로를 말한다.

그림 7에서는 DDS의 구성을 보여준다.



(그림 7) DDS 구성도

(Figure 7) DDS Block Diagram

DDS의 주요 구성 요소는 위상 누산기(Phase Accumulator), 위상→진폭 변환기(사인 룩업 테이블), 디지털-아날로그 변환기 및 필터이다. DDS는 주어진 Clock 주파수에서 사인파를 생성한다. 빈도는 세 가지 변수에 따라 달라진다. 기준 클럭 주파수  $f_{clk}$ , 위상 레지스터에 프로그래밍 된 이진수(주파수 제어워드 M) 그리고 n비트 Accumulator의 길이이다. J. Tierney[7], Hemanth Kumar S N[8]은 FPGA를 사용하여 5Hz 단계로 0~150KHz 범위를 구현하였다. Snigdha Madhab Ghosha[9]는 주파수 호핑을 위해 이 기술을 사용하였다. 위상 레지스터의 이진수는 위상 누산기에 대한 기본 입력을 제공한다. I. V. Strelnikov, I. V. Ryabov[10]는 Phase-Manipulated Signals를 사용한 방법으로 구현을 하였으며 Han Liu[11]는 2차원

MEMS 스퀘닝 미러의 구동 성능을 향상시키기 위해 5차 타원 함수 필터를 사용하여 직접 디지털 합성기의 정현파 구동 신호를 필터링하는데 사용하였다. 사인 테이블이 사용되는 경우 위상 누산기는 룩업 테이블의 위상(각도) 주소를 계산하며, 이는 해당 위상 각도의 사인에 해당하는 진폭의 디지털 값을 DAC로 출력한다. 그런 다음 DAC는 해당 숫자를 아날로그 전압 또는 전류의 해당 값으로 변환한다. 고정 주파수 사인파를 생성하려면 상수 값(이진수 M으로 결정되는 위상 증분)이 각 클럭 주기마다 위상 누산기에 추가된다. 위상 증분이 크면 위상 누산기가 사인 룩업 테이블을 빠르게 통과하여 고주파 사인파를 생성한다. 위상 증분이 작으면 위상 누산기가 더 많은 단계를 거쳐 더 느린 파형을 생성한다.

Shanthi K G[12]가 제안한 VMVS(Vedic Multiplier Vedic Synthesizer) 시스템은 Vedic 승수 출력에 연결된 DDS에서 낮은 대기 시간 기술을 구현하였다.

시스템의 핵심은 각 클럭 주기마다 내용이 업데이트되는 위상 누산기이다. PA가 업데이트될 때마다 위상 레지스터에 저장된 디지털 숫자 또는 M이 위상 누산기 레지스터의 숫자에 추가된다. 위상 누산기는 각 클럭 주기에서 00..01씩 업데이트된다. 누산기가 32비트 폭인 경우 위상 누산기가 00..00으로 돌아가고 주기가 반복되기 전에  $2^{32}$  클럭 주기가 필요하다. 위상 누산기의 출력은 사인(또는 코사인) 조화 테이블/ROM/위상-진폭 변환기에 대한 주소 역할을 한다. Muhammad Nadir khan, Muhammad Saad Imran, Muhammad Rehan, Usman Hai[13]는 압축 ROM을 사용하는 기법을 사용했다. 룩업 테이블의 각 주소는  $0^\circ$ 에서  $360^\circ$ 까지 사인파의 위상 지점에 해당한다. 룩업 테이블에는 사인파의 완전한 한 주기에 해당하는 디지털 진폭 정보가 포함되어 있다. Ashwitha Baikady Dr. Uma B. V.[14]는 1/4 파장 대칭, 메모리리스 ROM, 파이 프라인 위상 누산기 등의 기술을 Kogge-Stone 가산기로 적용하여 전력 소모와 면적 측면에서 개선된 성능을 갖는 것으로 설계를 하였다. 따라서 룩업 테이블은 위상 누산기의 위상 정보를 DAC를 구동하는 디지털 진폭 워드로 매핑한다.  $n=32$ 이고  $M=1$ 인 경우, 위상 누산기는 오버플로되기 전에  $2^{32}$ 개의 가능한 출력 각각을 통과한다. 해당 출력 사인파 주파수는 클럭 주파수를  $2^{32}$ 로 나눈 값과 같다.

$M=2$ 이면 위상 누산기 레지스터가 두 배 빠르게 "rolls over"되고 출력 주파수가 두 배가 된다. n비트 위상 누산기(대부분의 DDS 시스템에서 n은 일반적으로 24에서 32

까지임)의 경우  $2^n$ 개의 가능한 위상 포인트가 있다. 위상 레지스터의 디지털 워드인 M은 각 클럭 주기마다 위상 누산기가 증가하는 양을 나타낸다.  $f_{clk}$ 가 클럭 주파수이면 출력 사인파의 주파수는 다음과 같다.[15]

$$f_{out} = \frac{M^* f_{clk}}{2^n} \quad (3)$$

위의 방정식은 DDS "튜닝 방정식"으로 알려져 있다.

시스템의 주파수 분해능은  $\frac{f_{clk}}{2^n}$ 과 같다.

Hemanth Kumar S N[9]은 출력 주파수를 5Hz 단계로 0Hz ~ 150KHz 범위 내로 설계를 함을 발표하였다.

실제 DDS 시스템에서 위상 누산기의 모든 비트는 룩업 테이블로 전달되지 않고 잘려서 처음 13~15개의 MSB만 남는다. 이것은 룩업 테이블의 크기를 줄이고 주파수 해상도에 영향을 미치지 않는다. 위상 절단은 작지만 허용 가능한 양의 위상 노이즈를 최종 출력에 추가할 뿐이다. DAC의 분해능은 일반적으로 조화 테이블의 너비보다 2~4비트 작다. 완벽한 N비트 DAC도 출력에 양자화 노이즈를 추가한다.

### 2.3 DDS를 이용한 주파수 생성의 PWM 출력화

DDS 구성에서 Liang Yi Yang[16]은 인버터를 설계함에 있어 삼각 반송파를 사용하여 PWM 출력화 하는 기술을 적용하여 회로적으로 D/A 컨버터를 제거하는 회로의 단순화를 이루었으며 동기화를 위한 방법으로 3상 SPWM 발전기를 제시하였다.[17]

## 3. PWM 기반의 알고리즘 설계 및 생성

DDS와 비슷한 구성에서 룩업 테이블 값을 직렬로 구사하여 PWM화를 하면 D/A 컨버터를 제거하는 효과를 갖게 되어 회로가 단순해지고 제작 공간이 훨씬 여유로워진다. 이에 착안하여 본 논문에서는 PWM을 이용한 주파수 생성하는 알고리즘과 이의 구현을 제시한다.

### 3.1 PWM을 이용한 주파수 생성

두 개의 주파수를 동시에 발생시키기 위한 회로에는 같은 논리를 사용한 회로 블록을 2개 제작하여 동시에 출력시키면 성립된다. 논리 계산이 용이한  $2^n$ 의 기준 주



$$Y_{AA} = 16,384 \times 13,235 = 216,842,240(\text{dec}) = 1100$$

$$1110 \ 1100 \ 1100 \ 0000 \ 0000 \ 0000 \quad (7)$$

이 된다.

디지털 논리에 적용하기 위해  $Y^{8M}$ 과  $Y^{AA}$ 의 이진 값을 msb부터 lsb까지 서로 바꾸면 아래의 값이 된다.

$$\text{REV\_}Y_{8M} =$$

$$0000 \ 0000 \ 0000 \ 0011 \ 1100 \ 0000 \ 0111 \quad (8)$$

$$\text{REV\_}Y_{AA} =$$

$$0000 \ 0000 \ 0000 \ 0011 \ 0011 \ 0111 \ 0011 \quad (9)$$

기준 클럭을 이용하여  $2^{28}$ 의 이진 다운카운터를 만든다. 268.435456MHz에 해당되는  $2^{28}$ 을 다운카운트한 값과 이를 인버트한 값과 REV\_Y 값을 로직 앤드를 취하여 알고리즘의 카운트 인에이블 신호로 취한다.

반송주파수를 얻기 위해 다시 업카운터를 사용한다. 출력의 정확도를 높이기 위해 사용할 8비트 보다 큰 13비트 카운터를 사용하여 상위 7비트를 최종 출력할 PWM 출력 발생용 비트로 사용하여 정확하게 출력하도록 하고 나머지 6비트를 D-플립플롭 회로를 통과하도록 하면 출력의 듀티비가 50:50에 가까워진다. 이를 수행하기 위해 업카운터를 사용한다.

(표 1) PWM 룩업 테이블의 HDL문  
(Table 1) The HDL source by PWM look up table

```
process(Table_Sel)
begin
if(Aclr = '0')then compA <= X"80";
elseif(CLK'event and CLK='1')then
case Table_Sel is
when "00" & X"0" => compA <= X"80";--
--위와 동일한 방법으로 "00" & X"1"부터 "00" & X"E"를 서술--
when "00" & X"F" => compA <= X"FE";
when "01" & X"0" => compA <= X"FF";
--위와 동일한 방법으로 "01" & X"1"부터 "01" & X"E"를 서술--
when "01" & X"F" => compA <= X"8C";
when "10" & X"0" => compA <= X"80";
--위와 동일한 방법으로 "10" & X"1"부터 "10" & X"E"를 서술--
when "10" & X"F" => compA <= X"02";
when "11" & X"0" => compA <= X"01";
--위와 동일한 방법으로 "11" & X"1"부터 "11" & X"E"를 서술--
when "11" & X"F" => compA <= X"74";
when others => compA <= X"80";
end case;
end if;
end process;
```

이 카운터 출력 중에서 상위 7bit를 활용하여 PWM을 구현하기 위해 PWM 변환 룩업 테이블을 제작하여 사용한다. 사용한 룩업 테이블은 표 1과 같으며 PWM 제작 과정의 HDL 표현은 표 3과 같다.

이와 같이 차례대로 1상한부터 4상한까지의 테이블을 "compA"(8M)에 저장한다. 마찬가지로 "compB"(AA)도 같은 테이블값을 사용하며, 중간에 X"1" ~ X"E"까지의 테이블 값은 X"0" ~ X"F" 까지 작성된 아래의 표 2와 같다. 이 값을 중간에 같은 형식으로 삽입하면 완성된다.

(표 2) 룩업 테이블 값  
(Table 2) The Value of Look up Table

1상한	-80, 8C, 99, A5, B1, BC, C7, D1, DA, E2, EA, F0, F5, FA, FD, FE,
2상한	-FF, FE, FD, FA, F5, F0, EA, E2, DA, D1, C7, BC, B1, A5, 99, 8C,
3상한	-80, 74, 67, 5B, 4F, 44, 39, 2F, 26, 1E, 16, 10, 0B, 06, 03, 02,
4상한	-01, 02, 03, 06, 0B, 10, 16, 1E, 26, 2F, 39, 44, 3F, 5B, 67, 74

여기서  $2^7$ bit의 테이블에 의한 PWM 주파수는

$$f_{8M_{PWM}} = 14351 * 2^7 = 1,836,928Hz \quad (10)$$

$$f_{AA_{PWM}} = 13235 * 2^7 = 1,694,080Hz \quad (11)$$

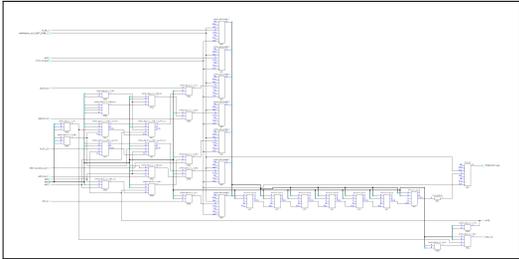
가 된다.

PWM 출력을 +와 -의 두 출력을 만들어 합성시켜 출력하면 PWM 출력이 발생된다.

(표 3) PWM 출력을 위한 HDL문  
(Table 3) The HDL source for PWM output

```
process(Aclr, CLK, Ref_cnt, compA)
begin
if(Aclr='0') then
PWM_P <= '0';
PWM_N <= '0';
elseif(CLK'event and CLK='1')then
if(Ref_cnt >= compA)then
PWM_P <= '1';
PWM_N <= '0';
else
PWM_P <= '0';
PWM_N <= '1';
end if;
end if;
end process;
```

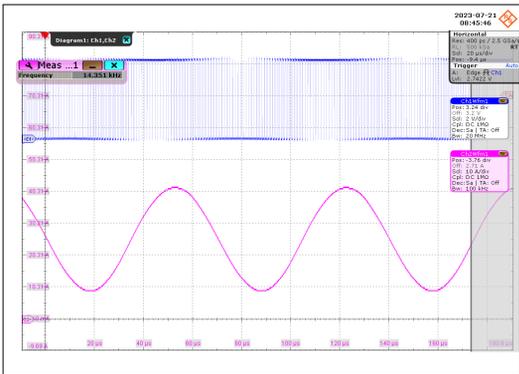
compA와 마찬가지로 compB도 같은 방법으로 작성하여 AA 주파수의 PWM 출력을 완성한다. 이를 compile 한 도시는 그림 12와 같다.



(그림 10) PWM\_8M 컴파일 회로 블록도  
(Figure 10) The Block diagram of PWM compile circuit

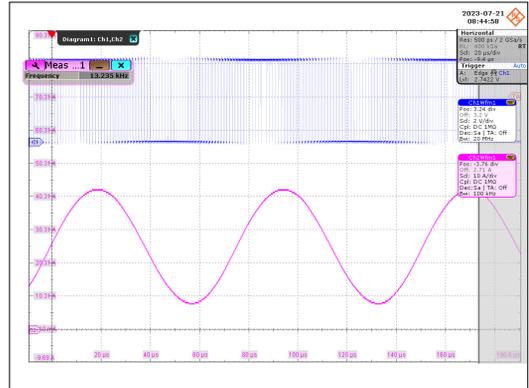
PWM\_8M과 PWM\_AA의 논리는 동일하여 PWM\_AA의 컴파일 블록도는 생략한다. 이렇게 PWM 과정을 제작하여 FPGA 출력 후 비교기를 거쳐 저주파 필터링 회로를 통과하면 8M과 AA 반송주파수인 정현파가 출력된다.

그림 9의 회로에서 U7A의 1번 핀에서는 8M의 PWM 신호가, U8A의 1번 핀에서는 8M의 정현파가 출력되며 이를 오실로스코프로 측정 한 결과는 각각 그림 11과 같다.



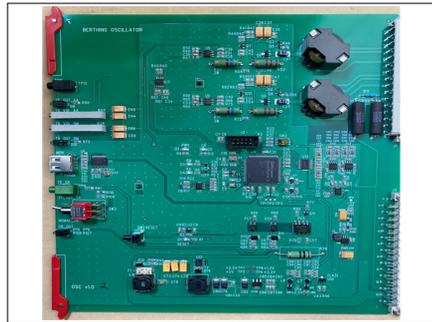
(그림 11) 8M 주파수의 PWM과 정현파 측정 파형  
(Figure 11) The PWM of 8M frequency and Sine wave measurement waveform

또한 U7B의 7번 핀에서는 AA의 PWM 신호가, U9A의 1번 핀에서는 AA의 정현파가 출력되며 이를 오실로스코프로 측정 한 결과는 그림 12와 같다.



(그림 12) AA 주파수의 PWM과 정현파 측정 파형  
(Figure 12) The PWM and Sine Wave measurement waveform of AA frequency

위의 회로를 토대로 제작한 발진 모듈을 그림 13에 보인다.



(그림 13) 제작된 발진 모듈  
(Figure 13) The Produced Oscillator Module

## 4. 주파수 생성 알고리즘을 이용한 Berthing 시스템 설계와 제작

### 4.1 열차 Berthing 시스템 설계

#### 4.1.1 RAMS 체계의 도입에 의한 설계

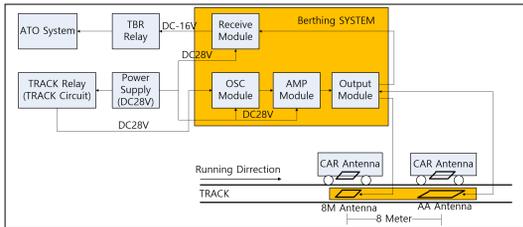
J. -g. Hwang and H. -j. Jo[11]는 철도 신호시스템의 RAMS 관리 및 평가를 위한 프로그램을 도입하였다. RAMS는 시험, 통계분석, 신뢰성공학 및 안전공학 등의 요소기술과 데이터베이스, 정보시스템과 같은 정보화 기술을 결합하여 시스템 신뢰성(Reliability), 가용성(Availability),

유지보수성(Maintainability) 및 안전성(Safety) 향상을 지원 하는 시스템 엔지니어링 방법론으로 수행되며, IEC61508 을 기본 규격으로 산업별로 차별화하여 관련 규격을 적용하고 있으며 철도산업(Railway)에서는 IEC62778, IEC62779, IEC62425 규격 기준으로 신뢰성, 안전성의 확보에 필요한 분석, 설계, 구현, 테스트, 유지보수 활동과 관련된 기술적, 절차적 요구사항을 안전무결성 수준으로 차별화하여 적용하는 기술이다.

이는 설계, 제작 및 시험의 전 분야에 적용되었다.

#### 4.1.2 시스템 구성

버싱 시스템은 8M(8M Marker Coil)과 AA(Alignment Antenna)를 제어하여 열차가 홈에 진입하면 정위치 정착 및 출입문 개폐에 관한 정보를 제공하며, 자동 회차 구간에서는 열차에 Key-up 및 Key-down을 송신하여 자동으로 회차가 이루어지게 한다. 버싱 시스템의 구성도는 그림 14와 같으며 등색 부분이 해당된다.



(그림 14) Berthing 시스템 구성도

(Figure 14) The Block diagram of Berthing System

요구되는 기능과 성능에 따라 다음과 같이 규격을 정하였다. 기능 요구 사항은 표 4와 같다.

(표 4) 기능 요구 사항

(Table 4) Function requirement

항	항목	기능
1	전원 장치	DC 28V 4Amax
2	AA 반송파 송신 주파수	13.235 kHz
3	AA 반송파 송신 출력	4~10Vrms, 50
4	8M 반송파 송신 주파수	14.351 kHz
5	8M 반송파 송신 출력 전압	4~10 Vrms, 50
6	AA 확인 수신 반송파 주파수	21.945 kHz
7	AA 확인 수신 변조파 주파수	77Hz
8	수신 계전기 부하 용량	2100 BN 계전기

성능 요구 사항은 표 5와 같다.

(표 5) 성능 요구 사항

(Table 5) Performance requirement

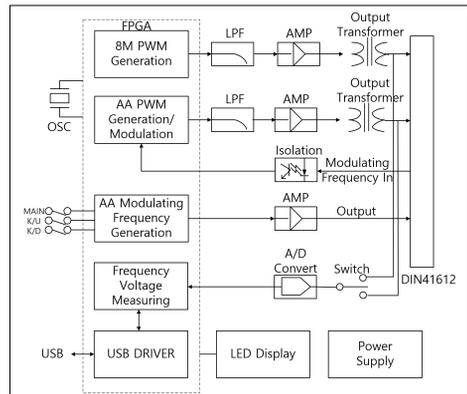
항	모듈	항목	성능
1	발진 모듈	AA 반송파 송신주파수 발생범위	13.235kHz±5%
		8M 반송파 송신주파수 발생범위	14.351kHz±5%
2	증폭 모듈	입력 전압 및 임피던스	2.76~5.4Vrms, 1k
		출력 전압 및 임피던스	11.5~23.4Vrms, 50
3	수신 모듈	AA 확인 반송파 수신주파수 수신범위	21.945kHz±5%
		AA 확인 변조파 수신주파수 범위	77Hz±5%
		BN 계전기 코일 구동 생성전원	-DC28V, 2100

#### 4.2 설계 및 제작

RAMS 과정 중에서 “시스템 요구 사양”과 “시스템 설계 사양”에 의해서 설계한 장치의 모듈별 디자인 블록도와 주요 회로도 및 제작된 PCB와 모듈은 다음과 같다.

##### 4.2.1. 발진 모듈

모듈의 디자인 블록도는 그림 15와 같으며 내부의 FPGA 부분에서 PWM 주파수 발생을 2종으로 출력하여 필터로 정현파를 구현하도록 하였다.



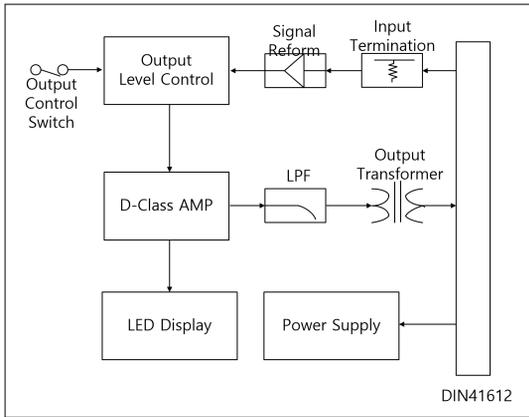
(그림 15) 발진 모듈 디자인 블록도

(Figure 15) Oscillator module design block diagram

주요 회로는 그림 8과 9에 있으며 제작된 모듈은 그림 5에서 표현하였다.

4.2.2. 증폭 모듈

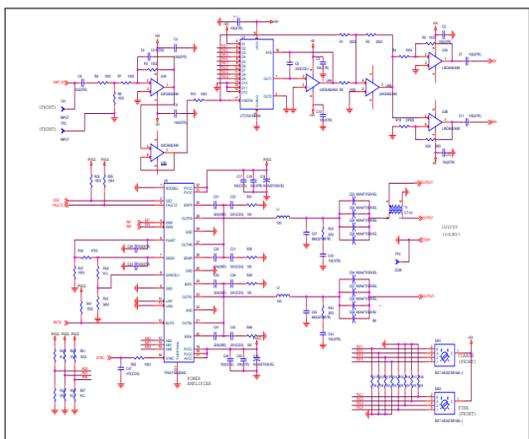
모듈의 디자인 블록도는 그림 16과 같으며 발전모듈에서 발생시킨 두 개의 주파수를 각각 1개씩 증폭하도록 하여 모듈 2개가 사용된다. D/A 컨버터를 사용하여 디지털 입력부를 스위치로 연결하고 기준 전압 단자에 사용 주파수를 입력시켜 볼륨을 대신하여 로터리 스위치로 진폭을 조정한다. 조정된 출력은 D급 증폭회로를 거쳐 필터링 후 출력 트랜스를 거쳐 출력한다.



(그림 16) 증폭 모듈 디자인 블록도

(Figure 16) Amplifier module design block diagram

설계한 증폭부 주요 회로는 그림 17과 같다.



(그림 17) 증폭 모듈 설계 주요 회로

(Figure 17) Amplification module design main circuit

제작된 증폭 PCB와 모듈은 그림 18과 같다.

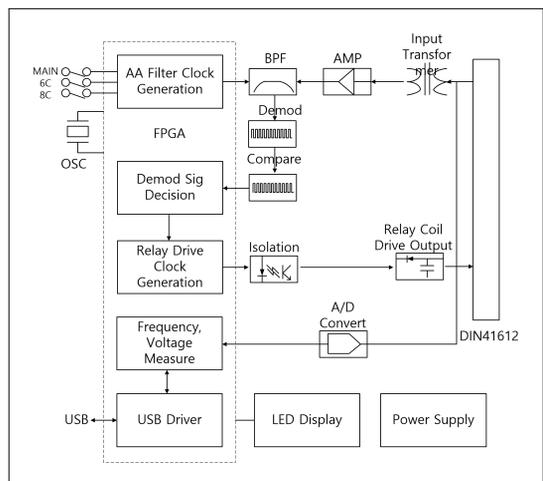


(그림 18) 제작된 증폭 모듈

(Figure 18) Produced amplification module

4.2.3 수신 모듈

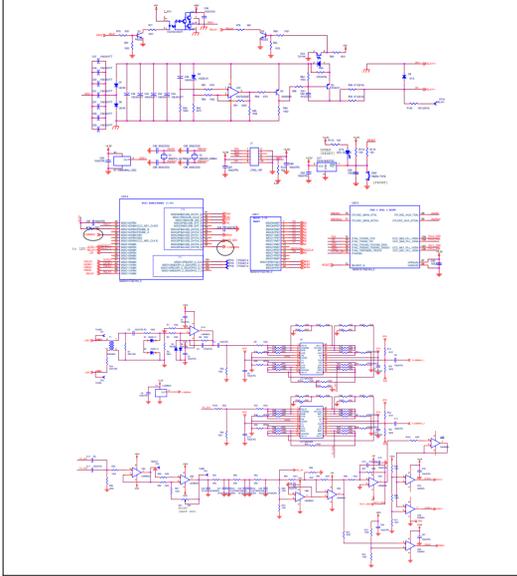
모듈의 디자인 블록도는 그림 19와 같으며 입력부를 절연시켜 외부의 직접적인 전기적 충격 또는 잡음에 직접 노출되지 않도록하여 직류 또는 일정 전압 이상의 교류 전압이 유입되지 않도록 변압기와 전압 제한 회로를 구성하였다으며 반송주파수를 대역필터로재생한 후 복조를 하고 기준값 이상과 최고값 이하의 신호를 비교하여 정상 복조를 시킨 후 FPGA에서 복조가 정상인지 판단을 다시하고 정상일 경우 계전기 코일 구동용 전압 발생용 주파수를 출력한다.



(그림 19) 수신 모듈 디자인 블록도

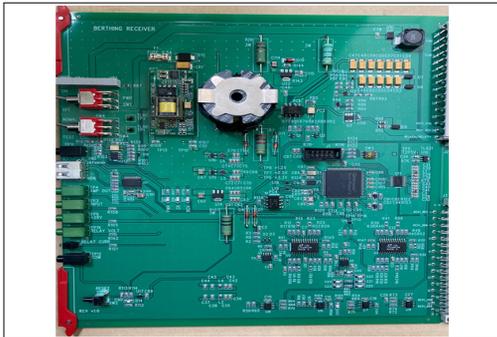
(Figure 19) The Block diagram of Receive Module

설계한 수신부 주요 회로는 그림 20과 같다.



(그림 20) 수신 모듈 설계 주요 회로  
(Figure 20) Receive Module Design Main Circuit

제작된 PCB와 모듈은 그림 21과 같다.



(그림 21) 제작된 수신 모듈  
(Figure 21) Produced Receive Module

#### 4.2.4 제작 완성된 장치

상기에 열거한 각각의 완성된 모듈을 서브랙에 실장을 한 버싱 시스템을 그림 22에 보인다. 하나의 서브랙에 두 시스템이 실장 되는 구조이다. 좌측으로부터 AA 증폭 모듈, 8M 증폭모듈, 발진모듈, 수신모듈이 위치한다.



(그림 22) 완성된 버싱 장치  
(Figure 22) The Berthing System

## 5. 시 험

### 5.1 발진 모듈 시험

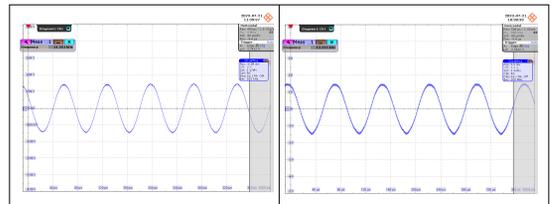
8M용, AA용 반송주파수를 PWM 출력으로 구현하였고 이를 저주파 필터링한 파형은 아래와 같이 정확히 각각 13.235kHz, 14.351kHz로 모두 0.1%의 오차범위 내에서 측정되었으며 그림 11과 12에서 측정 내역을 표하였다.



(그림 23) 필터링 한 출력 파형  
(Figure 23) Filtered output waveform

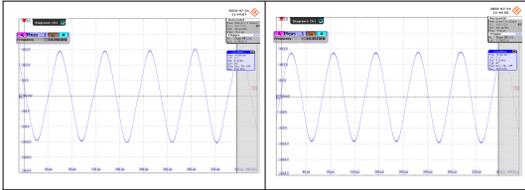
### 5.2 증폭 모듈 시험

발진 모듈로부터 입력된 신호의 파형은 아래와 같다.



(그림 24) 8M와 AA 신호의 증폭 입력 파형  
(Figure 24) The amplified input waveform of the AA signal and 8M

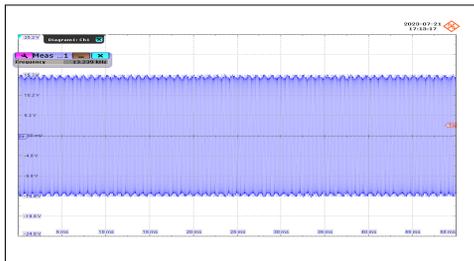
출력 가변 회로를 거쳐 D-급 증폭한 후 출력 트랜스를 통하여 출력되는 8M과 AA파형은 아래와 같다.



(그림 25) 8M와 AA 신호의 증폭 출력 파형  
(Figure 25) The amplified output waveform of the AA signal and 8M

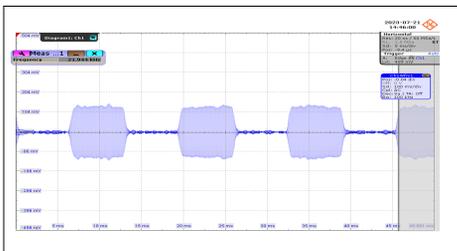
### 5.3 수신 모듈 시험

차상에서 발생시킨 AA 확인 신호가 AA 안테나를 통하여 수신 모듈로 입력되는 신호는 아래와 같으며 AA 송신 신호(7~10Vrms)와 AA 확인신호(0.2~0.5Vrms)가 중첩되어 수신기에 입력되어 절연형 수신 변압기에 입력된다. 중첩된 수신부 입력 파형을 그림 26에 보인다.



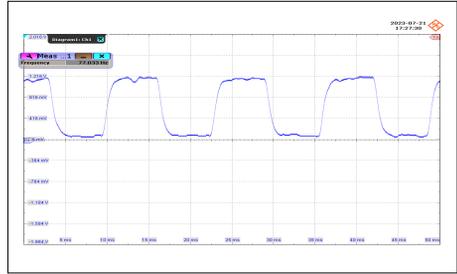
(그림 26) 수신부 입력 파형  
(Figure 26) The Input Waveform of Receiver

수신모듈에서 밴드 패스 필터를 이용하여 AA 확인 주파수를 필터링한 출력은 아래와 같다.



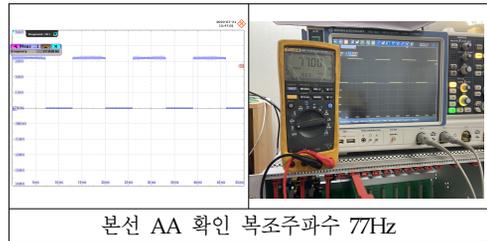
(그림 27) 필터링 한 출력 파형  
(Figure 27) Filtered output waveform

상기 신호를 복조하여 출력되는 파형은 아래와 같다.



(그림 28) 복조 한 AA 확인 출력 파형  
(Figure 28) Demodulated AA confirmation output waveform

복조를 한 후 정상 레벨임을 비교한 출력은 그림 29와 같으며 본선 AA 확인 복조주파수는 77.00Hz로 0.1%의 오차범위 내에서 측정되었다.



본선 AA 확인 복조주파수 77Hz  
(그림 29) AA 확인 복조주파수 출력의 측정  
(Figure 29) Measurement of AA-confirmed demodulated frequency output

정상 신호의 판정은 현장 상황과 회로의 복조 특성을 감안하여 복조주파수는 규정치의 10% 이내 듀티비는 25~75% 이내의 범위 내에서 동작하는 것을 정상으로 판정하도록 하는 로직으로 구현하였고 정상이 되었을 경우 계전기 코일 구동을 위하여 약 20kHz의 주파수를 발생시켜 차지펄스 회로를 구동하고 정류 및 평활 회로에 의해 부(-)전압을 발생 시키도록 -28V DC의 출력으로 만들고 DC24V 계전기를 양단의 전압이 -16V DC 가 되도록 직렬 저항을 삽입하여 채터링 등을 완화시키고 부드럽게 동작하도록 하였다.

5.4 관련 연구와 기존 장치와의 비교

5.4.1 관련 연구와의 비교

DDS의 구현은 PCW의 비트수에 따라 기준 클럭의 1/2의 주파수부터 1Hz 미만의 소숫점 주파수까지 구현이 가능하며 DDS와 PLL을 이용하여 더 큰 주파수를 발생시킬 수도 있다. Hemanth Kumar S N[8]의 논문에서는 5Hz 단위로 주파수를 발생 하였으며 본 논문에서 구현한 PWM 발생 논리로는 1Hz 단위로 주파수 설정을 할 수 있다. PWM 주파수 발생에 의한 방법은 오디오 주파수를 발생시키지 위한 방법으로 고안되어 이를 비교하기는 어렵지만 1Hz부터 6,000Hz까지 구현이 가능하다.

(표 6) PWM 연구 대비 기존 연구와의 비교  
(Table 6) Comparison with existing research compared to PWM research

항	주파수 발생 범위	사용 주파수	FPGA 구현	구현단위 (Hz)	비고
DDS	$1 \sim \frac{f_{clk}}{2}$	저주파 ~ 고주파	부분 가능	5	(8)
PWM	$1 \sim \frac{f_{clk}}{12000}$	Audio 주파수	전체 가능	1	

5.4.2 기존 장치와의 비교

기존의 장치는 ALSTOM에서 제작하여 지하철에 운용되고 있으며 장착된 기존장치와 신규 제작 장치를 교체 장착시켜 주파수 정밀도를 측정된 결과 기존 장치는 0.45~0.75%대의 오차를 보인 반면 제작 장치는 0.009%의 오차 범위내인 것으로 비교되었으며 운용상의 장애를

(표 7) 목표 대비 기존장비와의 주파수 측정 비교  
(Table 7) Comparison of frequency measurement with existing equipment against target

항	항 목	단위	목표 정격	기존 장치 측정값	제작 장치 측정값	비고 (오차)
송신부	8M	kHz	14.351	14.361 (0.69%)	14.351 (0.009%)	
	AA	kHz	13.235	13.245 (0.75%)	13.235 (0.009%)	
수신부	AA 확인	kHz	21.945	21.935 (0.45%)	21.945 (0.009%)	

자주 발생시키지 않기위해 발표한 주파수 발생 방법을 사용함이 옳다고 판단한다.

6. 결 론

PWM에 의한 주파수 발생 원리를 고안하여 이를 HDL로 구현하는 방법을 도출하고 FPGA로 구현하여 PWM에 의한 주파수 발생을 동시에 2개를 하였으며 Hemanth Kumar S N[8]의 논문에서는 5Hz 단위로 주파수를 발생 하였으나 본 논문에서 구현한 PWM 발생 논리로는 1Hz 단위로 주파수 설정을 할 수 있도록 하였으며 정현파 구현부에서 D/A 컨버터부를 없애는 대신 R-C 필터로 구사하여 하드웨어적인 공간을 줄였으며 주파수를 측정된 결과 1Hz의 오차도 없이 정확하게 측정되었고 이를 현장에서 필요한 시스템이 되도록 RAMS 체계를 도입하여 시스템을 개발, 제작을 하고 자체시험, 공인시험, 철도차량 기지시험 그리고 철도 영업본선 현장시험까지 정상 동작함을 확인하였고 기존에 설치된 장치와 교차 비교 시험에서 주파수의 정확도 측면에서 우수한 결과를 도출하였다. 고안한 주파수 발생의 PWM 구현 알고리즘은 실제 산업 현장에서 잘 사용하고 있으며 확장하여 사용되기를 기대해 본다.

참고문헌(Reference)

[1] Roland E. Best, "Phase-Locked Loops: Design, Simulation, and Applications," The McGraw-Hill Companies, 6th Edition, p119~158, 2007  
<https://doi.org/10.1036/0071493751>

[2] Han, Jong-Seok, Yoon, Kwan, and Kang Jinku, "Design of Digital PLL using Binary Phase-Frequency Detector and Counter for Digital Phase Detection," Journal of IKEEE, vol. 16, no. 4, pp. 322 - 327, Dec. 2012.

[3] K. M. Pisolkar, V. Kore, V. Joshi and A. Bhurke, "Solar PV grid connected system using Phase Lock Loop Synchronization and SPWM technique," 2019 2nd International Conference on Intelligent Computing, Instrumentation and Control Technologies (ICICT), Kannur, India, pp. 846-849, 2019.  
<https://doi.org/10.1109/ICICT46008.2019.8993206>.

- [4] K. Balakier, H. Shams, M. J. Fice, L. Ponnampalam, C. S. Graham, C. C. Renaud and A. J. Seeds, "Optical phase lock loop as high-Q filter for optical frequency comb line selection," 2017 International Topical Meeting on Microwave Photonics, 2017.  
<https://doi.org/10.1109/MWP.2017.8168727>.
- [5] Tingbing Ouyang, Kanglin Xiao, Xiaoqi Lin, Changpei Qiu, Bo Wang, "A multi-phase detecting method for spurs cancellation in all digital fractional-N phase-lock loops," 2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 647-650, 2018.  
<https://doi.org/10.1109/MWSCAS.2018.8623983>
- [6] M. Tang, S. Bifaretti, S. Pipolo, S. Odhano and P. Zanchetta, "A Novel Phase-lock Loop with Feed-back Repetitive Controller for Robustness to Periodic Disturbance in Three-phase Systems," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, pp. 2691-2697, 2018.  
<https://doi.org/10.1109/ECCE.2018.8557691>.
- [7] J. Tierney, C. Rader and B. Gold, "A digital frequency synthesizer," in IEEE Transactions on Audio and Electroacoustics, vol. 19, no. 1, pp. 48-57, March 1971.  
<https://doi.org/10.1109/TAU.1971.1162151>.
- [8] Hemanth Kumar S N, Venkateshappa, "Design and Implementation of DDS Module on FPGA," International Journal of Advanced Trends in Computer Science and Engineering, Volume 10, No.2, March - April 2021.  
<https://doi.org/10.30534/ijatcse/2021/1141022021>
- [9] Snigdha Madhab Ghosh, Anindya Sundar Dhar, Sunandan Bhunia, "Direct Digital Frequency Synthesizer Design with Modified Parabolic Method Approximation Method," International Journal of Soft Computing and Engineering (IJSCE), Volume 1, Issue 6, January 2012.  
<https://www.ijscce.org/wp-content/uploads/papers/v1i6/F0287111611.pdf>
- [10] I. V. Strelnikov, I. V. Ryabov and E. S. Klyuzhev, "Direct Digital Synthesizer of Phase-Manipulated Signals, Based on the Direct Digital Synthesis Method," 2020 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO), Svetlogorsk, Russia, pp. 1-3, 2020.  
<https://doi.org/10.1109/SYNCHROINFO49631.2020.9166040>.
- [11] H. Liu, T. Zhou and Y. Su, "A Two-dimemsional MEMS Scanning Mirror Control Method based on Direct Digital Synthesizer." 2019 IEEE 4th Advanced Information Technology, Electronic and Atomation Control Conference(IAEAC), Chengdu, China, pp. 85-89, 2019.  
<https://doi.org/10.1109/IAEAC47372.2019.8998008>.
- [11] H. Liu, T. Zhou and Y. Su, "A Two-dimens-ional MEMS Scanning Mirror Control Method based on Direct Digital Synthesizer," 2019 IEEE 4th Advanced Information Technology, Electronic and Automation Control Conference (IAEAC), Chengdu, China, pp. 85-89, 2019.  
<https://doi.org/10.1109/IAEAC47372.2019.8998008>
- [12] S. K. G, S. G, A. K, A. Sangeetha, A. T and A. R, "Performance Analysis of Vedic Multiplier and Modified Vedic Multiplier in Direct Digital Synthesizer," 2022 3rd International Conference on Electronics and Sustainable Communication Systems (ICESC), Coimbatore, India, pp. 64-67, 2022.  
<https://doi.org/10.1109/ICESC54411.2022.9885340>.
- [13] M. N. khan, M. S. Inran, M. Rehan and U. Hai, "High Speed Direct Digital Frequency Synthesizer(DDFS) Architecture With Reduced ROM Structure," 2005 Student Conference on Engineering Sciences and Technology, Karachi, Pakistan, pp. 1-5, 2005.  
<https://doi.org/10.1109/SCONEST.2005.4382873>.
- [14] A. Baikady and B. V. Uma, "Area and Power Efficient Architecture for Direct Digital Frequency Synthesizer," 2021 10th International Conference on Internet of Everything, Microwave Engineering, Communication and Networks (IEMECON), Jaipur, India, pp. 1-7, 2021.  
<https://doi.org/10.1109/IEMECON53809.2021.9689136>.
- [15] Jong-Won Son, Chang-Gyu Bak, Soo-Wook Kim, "The Performance Analysis of the DDFS to drive PLL," Journal of information and communication convergence engineering, vol. 6, no. 8, pp. 1283-1291, 2002.  
<http://www.koreascience.or.kr/article/JAKO200211921531108.page>

[16] Liang Yi, Yang Yuan, Yu Ningmei and Gao Yong, "The application of a novel direct digital frequency synthesizer for the IP core design of all digital three phase SPWM generator," The 4th International Power Electronics and Motion Control Conference, 2004(IPEMC 2004), Vol. 2, pp. 730-733, 2004.

[17] Wojciech Pietrowski, Wojciech Ludowicz and Rafal Marek Wojciechowski, "The wide range of output frequency regulation method for the inverter using the

combination of PWM and DDS," Institute of Electrical Engineering and Electronics, Poznan University of Technology, Poznan, Poland, 4 January 2019.

[18] J. -g. Hwang and H. -j. Jo, "RAMS management and assessment of railway signaling system through RAM and safety activities," 2008 International Conference on Control, Automation and Systems, Seoul, Korea (South), pp. 892-895, 2008.  
<https://doi.org/10.1109/ICCAS.2008.4694619>.

## ○ 저 자 소 개 ○



### 한 은 택(Eun-tack Han)

1992년 한국항공대학교 항공통신공학과(공학사)  
2010년 성균관대학교 대학원 이동통신공학과(공학석사)  
2021년~현재 세종대학교 대학원 컴퓨터공학과(박사과정 수료)  
관심분야 : AI & Intelligent System, 기계학습, Wireless Internet & Network, etc.  
E-mail : shrd9600@daum.net



### 박 창 식(Chang-sik Park)

2006년 한국방송통신대학교 경영학과(경영학사)  
2010년 성균관대학교 대학원 이동통신공학과(공학석사)  
2021년~현재 세종대학교 대학원 컴퓨터공학과(박사과정 수료)  
관심분야 : 에이전트, Computer Graphics & Vision, IOT Applications, Image Processing, etc.  
E-mail : pcs5130@hanmail.net



### 김 익 재(Ikjae Kim)

1995년 공군사관학교 전산과학과(이학사)  
2007년 국방대학원 전산정보학과(공학석사)  
2021년~현재 세종대학교 대학원 컴퓨터공학과(박사과정 수료)  
관심분야 : Risk Management Framework, Cybersecurity Test & Evaluation, 정보보호, etc.  
E-mail : nodo2@naver.com



### 신 동 규(Dong-Kyoo Shin)

1986년 서울대학교 컴퓨터공학과(공학사)  
1992년 Illinois Institute of Technology 대학원 컴퓨터공학과(공학석사)  
1997년 Texas A&M University 대학원 컴퓨터공학과(공학박사)  
1998년~현재 세종대학교 컴퓨터공학과 교수  
관심분야 : 머신러닝, 유비쿼터스 컴퓨팅, 생체신호 데이터처리, 정보보호, etc.  
E-mail : shindk@sejong.ac.kr