

# 유한상태머신의 완벽한 안정성 보장에 관한 연구<sup>☆</sup>

## A Study on Insuring the Full Reliability of Finite State Machine

양 선 응\*      김 문 준\*\*      박 재 흥\*\*\*      장 훈\*\*\*\*  
Sun-Woong Yang      Moon-Joon Kim      Jae-Heung Park      Hoon Chang

### 요 약

본 논문에서는 유한상태머신을 위한 효율적인 비주사 DFT (design-for-testability) 기법을 제안한다. 제안된 기법은 순차회로 모델이 아닌 조합회로 모델을 사용한 ATPG를 수행하여 짧은 테스트 패턴 생성 시간과 완벽한 고장 효율을 보장한다. 또한 완전주사 기법이나 다른 비주사 DFT 기법에 비해 적은 면적 오버헤드를 보이며 테스트 패턴을 칩의 동작속도로 인가한다는 장점이 있다. 실험결과에서는 MCNC'91 벤치마크 회로를 이용하여 제안된 기법의 효율성을 입증한다.

### Abstract

In this paper, an efficient non-scan design-for-testability (DFT) method for finite state machine(FSM) is proposed. The proposed method always guarantees short test pattern generation time and complete fault efficiency. It has a lower area overhead than full-scan and other non-scan DFT methods and enables to apply test patterns at-speed. The efficiency of the proposed method is demonstrated using well-known MCNC'91 FSM benchmark circuits.

Key words : FSM, DFT, Non-Scan, Reliability

## 1. 서 론

최근 VLSI 칩의 복잡도 증가로 유한상태머신 (Finite State Machine: FSM)을 위한 테스트 비용이 크게 증가하고 있다. 테스트 비용의 증가는 이러한 FSM을 위한 테스트 패턴 생성의 어려움에 기인하며, 이러한 문제점을 해결하기 위하여 다양한 DFT 기법이 적용되고 있다. 순차 회로로 구성되어 있는 FSM의 경우, ATPG에 의한 완벽한 고장 효율을 보장할 수 없기 때문에 주사 기법을 적용하는 것이 일반적인 기법이다[1,2,3]. 그러나 주사 기법이 짧은 시간에 높은 고장 효율을 갖는 테스트

패턴을 생성하지만, 많은 면적 오버헤드와 긴 테스트 패턴인가 시간, 그리고 칩의 정상 동작 속도로 테스트 패턴을 인가할 수 없는 등의 단점이 존재한다[4,5,6]. 칩의 정상 동작 속도로 테스트 패턴을 인가했을 때 정상 동작 속도의 경우보다 고장 효율이 더 높게 측정된다는 것은 잘 알려진 사실이다[7,8]. 이러한 사실에 기반하여 제어회로 테스트를 위한 비주사 DFT 기법에 관한 연구가 많이 이루어졌다[4,8,9].

기억 소자의 앞단에 멀티플렉서를 삽입하고 테스트 모드시에 입력으로부터 직접 기억 소자에 원하는 패턴을 인가할 수 있는 테스트 포인트 삽입 방법이 제안되었다[8]. 그러나 기억 소자의 수에 비해 회로 입력 핀의 개수가 적을 경우 일부 기억 소자의 제어가 불가능하다는 단점이 있다. 이 경우 테스트 포인트 삽입 기법은 완벽한 고장 효율을 보장하지 못한다. 한편, 입력의 개수에 관계없이 항상 완벽한 고장 효율을 보장하는 기법이 제안되었으나, 이 기법은 멀티플렉서 외에 멀티

\* 준회원 : 송실대학교 대학원 컴퓨터학과  
swyang@watt.ssu.ac.kr(제1저자)

\*\* 준회원 : 송실대학교 대학원 컴퓨터학과  
mjkim@watt.ssu.ac.kr(공동저자)

\*\*\* 정회원 : 송실대학교 대학원 컴퓨터학과  
jhpark@watt.ssu.ac.kr(공동저자)

\*\*\*\* 정회원 : 송실대학교 컴퓨터학부  
hoon@computing.ssu.ac.kr(공동저자)

☆ 본 연구는 송실대학교 교내연구비 지원으로 이루어졌음

티플렉서를 제어하는 회로가 추가되어 완전 주사 기법과 테스트 포인트 삽입의 방법보다 면적 오버헤드가 상당히 크다는 단점이 있다[9].

본 논문에서는 기존의 주사, 비주사 DFT 기법들에 비해 적은 면적 오버헤드로 완벽한 고장 효율을 보장할 수 있는 기법을 제안한다. 본 논문의 전체적인 구성은 다음과 같다. 2장에서는 제안된 비주사 DFT 기법의 개요에 대해 설명하고 3장에서는 제안된 기법의 각 절차에 대해 자세히 알아본다. 4장에서는 제안된 기법의 효율성을 검증하기 위해서 MCNC'91 FSM 벤치마크 회로들을 이용한 실험을 기술하고 5장에서 결론을 맺는다.

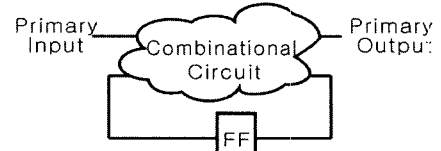
## 2. FSM을 위한 비주사 DFT 기법의 개요

2장에서는 본 논문이 제안하는 비주사 DFT 기법이 적용되기 위해 필요한 제어 회로의 모델과 제안하는 기법의 전체 흐름도에 대해 설명한다.

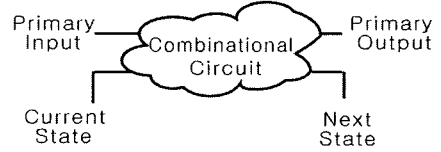
### 2.1 조합회로 모델의 사용

FSM은 귀환 (feedback) 루프를 내장하고 있기 때문에 테스트 패턴을 생성하는 데 오랜 시간이 소요되고 완벽한 고장 효율을 보장하는 테스트 패턴 생성을 항상 보장할 수는 없다. 따라서 본 논문에서 제안하는 비주사 DFT 기법은 FSM을 조합회로 모델로 변경하여 테스트 패턴을 생성한다. 그림 1은 일반적인 순차회로의 구조와 테스트 패턴 생성을 위해 변경된 조합회로 모델을 보여준다.

본 논문에서는 상태 할당이 십진 부호화 (decimal encoding) 되었으며, 상태  $x$ 를  $S_x$ 라고 표현하고  $m$ 개의 상태를 표현하기 위해  $S_0, S_1, \dots, S_{m-2}, S_{m-1}$ 을 사용한다. 최상(하)위 상태는 상태들의 십진 부호화된 값 중 가장 큰(작은) 값을 갖는 상태를 의미한다. 만약 FSM이  $2^{n-1} + 1 \sim 2^n$  개의 상태를 갖도록 설계되었다면 최소  $n$  비트의 기억 소자를 가져야만 한다. 예를 들어,  $5(2^{3-1} + 1)$ 개 이상  $8(2^3)$ 개 이하의 상태를 사용하는 FSM의 경우 3비트의

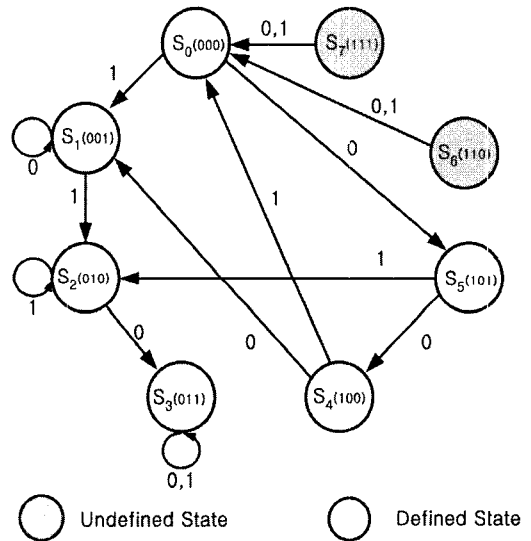


(a) FSM 모델



(b) 조합회로 모델

(그림 1) FSM 모델과 변경된 조합회로 모델



(그림 2) FSM의 예

기억소자를 필요로 한다. 그림 2는  $S_0$ 부터  $S_5$ 까지의 6개 상태만을 사용하는 FSM으로 3개의 기억소자를 사용하며 2개의 정의되지 않은 상태  $S_6, S_7$ 을 갖는 예를 보여주고 있다.

### 2.2. 제안된 비주사 DFT 기법

본 논문에서 제안하는 비주사 DFT 기법은 제어회로가 조건 1을 만족하는 경우 기존의 주사, 비주사 기법들에 비해 최소한의 면적 오버헤드로

완벽한 고장 효율을 보장한다.

**조건 1.** 1보다 큰 자연수  $m$ 개의 정의된 상태를 가지는 FSM을 가정할 때, 기억 소자의 개수  $n = \lceil \log m \rceil$  이며 최상위 상태의 십진값은  $2^{n-1} \leq D(S_{m-1}) \leq 2^n - 1$ 에 속한다.

다음 스크립트는 본 논문에서 제안하는 비주사 DFT 기법의 전체 절차를 보여주고 있다. 3장에서는 제안된 비주사 DFT 기법의 각 단계에 대해 상세하게 알아본다.

*제안된 비주사 DFT 기법의 전체 절차에 대한 의사코드(pseudo code)*

```

procedure Non-Scan_DFT (FSM S)
{ C = Make_Combinational_model(S);
  TP = Test_Pattern_Generation (C);
  S' = Apply_Non-Scan_DFT_Method (S);
  RTP = Arranging_Test_Pattern (TP);
  return (S', RTP);
}
    
```

### 3. 비주사 DFT 기법 절차

3장에서는 본 논문에서 제안한 FSM을 위한 비주사 DFT 기법의 절차에 대해 자세히 기술한다.

#### 3.1 조합 회로 모델을 이용한 테스트 패턴 생성

주어진 FSM으로부터 조합 회로 모델을 생성하고 생성된 조합 회로 모델을 위한 테스트 패턴을 생성한다. 표 1은 그림 2의 FSM을 구현한 회로에 대해 조합 회로 모델을 생성하고 테스트 패턴을 생성한 결과를 보여준다. 조합 회로 모델로부터 생성된 테스트 패턴은 순차 회로의 주입력 값과 순차 회로 기억 소자들의 현재 상태값으로 구

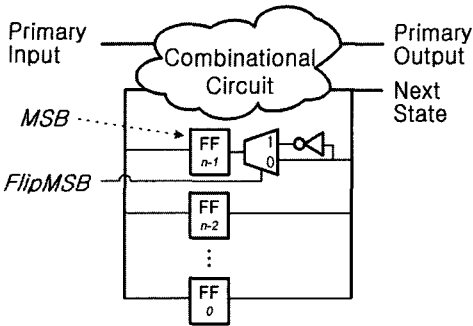
(표 1) 생성된 테스트 패턴

테스트 패턴		테스트 응답	
현재상태	주입력	다음상태	주출력
S <sub>1</sub> (001)	1	S <sub>2</sub> (010)	01
S <sub>2</sub> (101)	0	S <sub>4</sub> (100)	11
S <sub>3</sub> (000)	0	S <sub>5</sub> (101)	10
S <sub>4</sub> (100)	0	S <sub>7</sub> (001)	01
S <sub>2</sub> (010)	0	S <sub>3</sub> (011)	10
S <sub>3</sub> (011)	0	S <sub>3</sub> (011)	10
S <sub>5</sub> (101)	1	S <sub>2</sub> (010)	11
S <sub>7</sub> (111)	1	S <sub>6</sub> (000)	01
S <sub>6</sub> (110)	0	S <sub>6</sub> (000)	11

성되어진다. 그리고 테스트 응답은 순차 회로의 주출력과 다음 상태 값에 해당하는 기억 소자의 입력값으로 구성되어진다. 표 1의 음영 처리된 부분의 현재 상태 값은 그림 2의 상태 머신에 정의되어 있지 않은 상태를 나타낸다.

#### 3.2 FSM을 위한 비주사 DFT 하드웨어 추가

FSM의 완벽한 고장 효율을 보장하기 위해서는 테스트 모드에서 조합회로 모델로부터 생성된 모든 테스트 패턴이 인가되어야만 한다. 이를 위해서는 표 1에 나타난 현재상태와 같이 테스트 패턴에 주어진 상태로 제어 회로의 상태를 이동하고, 테스트 패턴에 나타난 주입력을 인가하여야 한다. 그러나 정의되지 않은 상태를 포함하는 테스트 패턴이 생성될 수 있다. 이러한 경우 순차회로의 기능적인 상태 이동만을 이용해서는 모든 테스트 패턴의 인가가 불가능하다. 따라서 본 논문에서는 정의되지 않은 상태를 포함하는 테스트 패턴을 인가하기 위해 적은 면적 오버헤드만으로 정의되지 않은 상태로 이동할 수 있는 기법을 제안하며 구현 방법은 다음과 같다.  $n$  비트로 표현할 수 있는 모든 상태의 십진값은  $0 \leq D \leq 2^n - 1$ 의 범위를 갖고, 이들은 다시 최상위 비트가 0인지와 1인지에 따라  $0 \leq D_L \leq 2^{n-1} - 1$  과  $2^{n-1} \leq D_H \leq 2^n - 1$ 의 범위를 갖는 두 그룹으로 나눌 수 있다. 각각의



(그림 3) 제안된 비주사 DFT 기법의 구조

그룹에는 최상위 비트(most significant bit)를 제외한 나머지 비트들이 서로 일치하는 쌍들이  $2^{n-1}$  개 존재한다.  $D_L$ 의 원소는  $D_H$ 의 원소와 최상위 비트가 다르다. 따라서 그룹  $D_H$ 에 속해 있는  $2^n - m$ 개의 정의되지 않은 상태들은 그룹  $D_L$ 의 쌍이 되는 상태 최상위 비트를 반전시킴으로써 만들어낼 수 있다. 그림 3은 제안된 비주사 DFT 기법의 구조를 보여준다.

그림의 제일 상위에 있는 플립플롭이 MSB에 해당한다. MSB의 값을 반전시키기 위한 FlipMSB 라인이 추가되었다. 예를 들어 정의하지 않은 상태  $S_6(110)$ 과  $S_7(111)$ 를 생성시키기 위해서는 상태  $S_2(010)$ 의 최상위 비트, 그리고 상태  $S_3(011)$ 의 최상위 비트를 반전시킴으로써 가능하다.

### 3.3 생성된 테스트 패턴의 인가

조합회로 모델에 의해 생성된 테스트 패턴은 ATPG 툴에 의해 무작위로 추출된 상태이다. 테스트 패턴을 인가하는 시간을 최소화 시킬 수 위해서는 설계된 FSM에서 정의된 상태 천이도를 반영하여 패턴을 재배열한다. 표 2는 본 논문에서 사용된 예제를 위한 최종 테스트 패턴 셋을 보여준다.

표 2에서의 같이 각 테스트 패턴의 현재상태가 이전 패턴의 다음상태와 같아지도록 정렬하였다. 3.2에서 기술한 것과 같이 FlipMSB는 정의되지 않은 상태  $S_6$ 과  $S_7$ 로의 천이를 위해 활성화되었다.

(표 2) 정렬된 테스트 패턴

테스트 패턴				테스트 응답	
현재상태	주입력	Test	Reset	다음상태	주출력
Reset	Reset	0	1	$S_0(000)$	reset
$S_0(000)$	0	0	0	$S_5(101)$	10
$S_5(101)$	1	0	0	$S_2(010)$	11
$S_2(010)$	0	0	0	$S_3(011)$	10
$S_3(011)$	0	1	0	$S_7(111)$	10
$S_7(111)$	1	0	0	$S_0(000)$	01
$S_0(000)$	0	0	0	$S_5(101)$	10
$S_5(101)$	0	0	0	$S_4(100)$	11
$S_4(100)$	0	0	0	$S_1(001)$	01
$S_1(001)$	1	1	0	$S_6(110)$	01
$S_6(110)$	0	0	0	$S_0(000)$	11

## 4. 실험 결과

본 논문에서 제안한 방법의 성능을 검증하기 위해 MCNC'91 FSM 벤치마크 회로들을 이용하여 실험을 수행하였다. 벤치마크 회로들은 Synopsys를 사용하여 합성하였고 조합 회로 모델에 대한 테스트 패턴의 생성 및 재배열된 테스트 패턴에 대한 제어 회로의 고장 시뮬레이션은 Syntest를 이용하여 수행하였다. 표 3은 실험에 사용된 회로의 특징을 보여준다. 표 3의 면적의 단위는 Synopsys의 Design Analyzer 툴의 결과 리포트에서 사용되는 2-입력 NAND 게이트의 수이다.

표 4는 테스트 패턴을 순차회로에 인가하는 데 필요한 총 클럭 사이클의 수를 보여주고 있다. 완전 주사 기법의 경우 1개의 스캔 체인만을 가정하여 합성하였으므로 클럭 수는 "테스트 패턴의 수 \* (기억 소자의 수 + 1) + 기억 소자의 수"에 의하여 계산될 수 있다. [8]과 [9]는 [9]에서 언급한 데로 각각 "테스트 패턴의 개수 \* 2 + 1", "정의된 상태에 도달하는 클럭 수 + 테스트 패턴에 포함된 정의되지 않은상태의 수 + 테스트 패턴의 수 + 2"로 계산될 수 있다. 또한 제안된 기법은 "테스트 패턴에 포함된 상태에 도달하는 클럭 수 + 테스트 패턴의 수 + 1"로 계산될 수 있다.

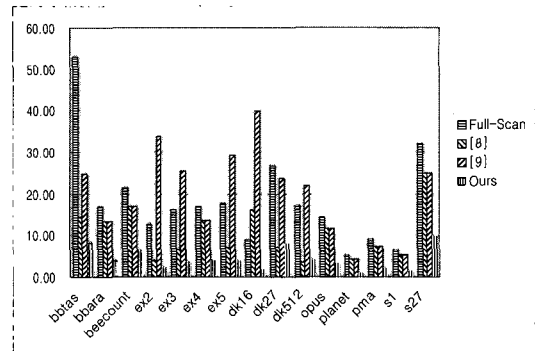
(표 3) 벤치마크 회로의 특성

회로명	면적	주입력핀개수	주출력핀개수	플립플롭 수
bbtas	41.5	2	2	3
bbara	89	4	2	4
beecount	53.5	3	4	3
ex2	147	2	2	5
ex3	93	2	2	4
ex4	88.5	6	9	4
ex5	85	2	2	4
dk16	203.5	2	3	5
dk27	43	1	2	3
dk512	87	1	3	4
opus	104.5	5	6	4
planet	418.5	7	19	6
pma	206	8	8	5
s1	277.5	8	6	5
s27	36	4	1	3

(표 4) 테스트 패턴 적용 시간

회로명	완전주사기법	[8]	[9]	제안된 기법
bbtas	55	93	21	40
*bbara	194	77	50	85
*beecount	87	43	26	36
ex2	311	965	78	100
ex3	184	432	53	92
*ex4	129	51	33	121
ex5	154	341	44	82
dk16	359	952	81	85
dk27	67	159	23	24
dk512	124	331	39	41
*opus	154	61	41	73
*planet	769	219	197	506
*pma	492	163	103	262
*s1	539	179	113	160
*s27	47	23	14	16

다. 표 4의 “회로명” 열에서 심볼 “\*”는 주입력 핀의 수가 플립플롭의 개수보다 같거나 크다는 것을 뜻한다. [8]의 기법은 회로의 주입력 핀의 수가 플립플롭의 개수보다 같거나 많을 경우 테



(그림 4) 면적 오버헤드 비교

스트 패턴이 포함하는 모든 상태를 직접 생성할 수 있고 [9]의 기법은 추가로 설계된 제어회로에서 정의되지 않은 상태를 직접 생성시켜 주고, 또한 그 상태를 유지시킬 수 있는 플립플롭을 추가했기 때문에 상태에 도달하는 클럭 수가 적은 수치를 보인다.

본 논문에서 제안한 기법과 기존 기법들과의 면적 오버헤드를 비교한 결과의 백분율 그래프가 그림 4에 나타나 있다. 제안된 기법은 어떠한 회로에도 멀티플렉서와 인버터가 각각 1개만이 추가되므로 면적 오버헤드를 최소화하였다.

## 5. 결론

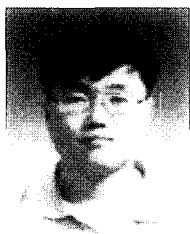
본 논문에서는 FSM을 위한 효율적인 비주사 DFT 기법을 제안하였다. 일반적으로 순차 테스트 패턴 생성 알고리즘은 패턴 생성에 오랜 시간이 소요되고 완벽한 고장 효율을 항상 보장할 수는 없다. 기존의 기법들은 면적 오버헤드가 크기 때문에 실제적으로 사용하기 힘들다. 본 논문에서 제안한 비주사 기법은 조합회로 모델에 대한 테스트 패턴 생성 알고리즘을 적용하여 완벽한 고장 효율을 보장하는 테스트 패턴을 빠른 시간 안에 생성할 수 있었고 적은 면적의 오버헤드만으로 테스트 패턴을 짧은 시간 안에 인가할 수 있다. 본 논문에서 제안된 기법은 완전 주사 기법 및 기존의 기법들에 비해 적은 오버헤드를 갖고

완벽한 고장 효율을 보장하는 테스트 패턴 생성을 보장한다.

### 참 고 문 헌

- [1] H. Fujiwara: *Logic Testing and Design for Testability*. The MIT Press (1985).
- [2] S. Bhattacharya, S. Dey: H-SCAN: A High Level Alternative to Full-Scan Testing With Reduced Area and Test Application Overheads. *VLSI Test Symposium* (1996) 74~80.
- [3] B. Norwood, J. McCluskey: Orthogonal SCAN: Low Overhead SCAN for Data Paths. *International Test Conference* (1996) 659~668.
- [4] S. Ohtake, H. Wada, T. Masuzawa, H. Fujiwara: A Non-scan DFT Method at Register-Transfer Level to Achieve Complete Fault Efficiency. *ASP-Design Automation Conference* (2000).
- [5] M. Abramovici, M. A. Breuer, A. D. Friedman, *Digital System Testing and Testable Design*. Computer Science Press (1990).
- [6] P. C. Maxwell, R. C. Aitken, V. Johansen, I. Chiang: The Effect of Different Test Sets on Quality Level Prediction: When is 80% Better Than 90% ?. *International Test Conference* (1991) 358.
- [7] Benoit Nadeau-Dostie: *Design For At-speed Test, Diagnosis and Measurement*. Kluwer Academic Publishers (2000).
- [8] V. Chickermane, E. Rudnick, P. Banerjee, J. H. Patel: Non-scan Design-For-Testability Techniques for Sequential Circuits. *ACM/IEEE Design Automation Conference* (1993) 236-241.
- [9] S. Ohtake, T. Masuzawa, H. Fujiwara: A Non-scan DFT Method for Controllers to Achieve Complete Fault Efficiency," *Asian Test Symposium* (1998) 204-211.

◎ 제 자 소개 ◎



**양 선 응**

1996년 숭실대학교 전자계산학과 졸업(학사)  
1998년 숭실대학교 대학원 전자계산학과 졸업(석사)  
2002년 숭실대학교 대학원 컴퓨터학과 졸업(박사)  
관심분야 : VLSI 설계 및 테스트, 컴퓨터구조, VLSI CAD  
E-mail : swyang@watt.ssu.ac.kr



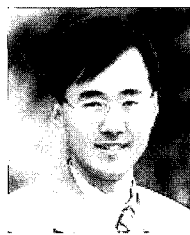
**김 문 준**

2000년 숭실대학교 컴퓨터학부 졸업(학사)  
2002년 숭실대학교 대학원 컴퓨터학과 졸업(석사)  
2002년~현재 : 숭실대학교 대학원 컴퓨터학과 박사과정  
관심분야 : VLSI 설계 및 테스트, 컴퓨터구조, VLSI CAD  
E-mail : mjkim@watt.ssu.ac.kr



**박 재 흥**

1999년 숭실대학교 컴퓨터학부 졸업(학사)  
2002년 숭실대학교 대학원 컴퓨터학과 졸업(석사)  
2002년~현재 : 숭실대학교 대학원 컴퓨터학과 박사과정  
관심분야 : VLSI 설계 및 테스트, 컴퓨터구조, VLSI CAD  
E-mail : jhpark@watt.ssu.ac.kr



**장 훈**

1987년 서울대학교 전자공학과 졸업(학사)  
1989년 서울대학교 전자공학과 졸업(석사)  
1993년 University of Texas at Austin 졸업(박사)  
1991년 IBM Inc. Senior Member of Technical Staff  
1993년 Motorola Inc. Senior Member of Technical Staff  
1994년~현재 : 숭실대학교 컴퓨터학부 부교수  
관심분야 : VLSI 설계 및 테스트, 컴퓨터구조, VLSI CAD  
E-mail : hoon@computing.ssu.ac.kr